

PY32E407 系列数据手册

32 位 ARM[®] Cortex[®]-M4F 微控制器



Puya Semiconductor (Shanghai) Co., Ltd.

产品特性

- 内核与系统
 - 32 位 ARM® Cortex®-M4F 处理器内核，支持 FPU 和 DSP 指令
 - 典型工作频率可达 170 MHz
- 存储器
 - 512 KB 的双 bank Flash
(支持 RWW: Read-While-Write)
 - 144 KB SRAM
- 硬件加速器 CORDIC
- 复位和电源管理
 - 2.3 ~3.6 V 供电
 - 上电/断电复位 (POR/PDR)
 - 可编程电压监测器 (PVD)
- 时钟系统
 - 内嵌 16 MHz 高速振荡器 (HSI16)
 - 内嵌 48 MHz 高速振荡器 (HSI48)
 - 内嵌 40 kHz 低速振荡器 (LSI)
 - 外部 4 ~32 MHz 高速晶体振荡器 (HSE)
 - 外部 32.768 kHz 低速振荡器 (LSE)
 - PLL 支持 CPU 最高运行在 170 MHz
- 5 种低功耗模式
 - 睡眠 (Sleep)、低功耗运行 (Low-power run)、低功耗睡眠 (Low-power sleep)、停机 (Stop) 和待机 (Standby) 模式
 - V_{BAT} 为 RTC 和 BKP 寄存器 (128 Bytes) 供电
- 3 个 12 位 ADC
 - 多达 19 个输入通道
 - 输入范围: 0 ~ V_{REF+}
 - 支持单端或差分输入
 - 支持采样时间和分辨率配置
 - 支持单次、连续、扫描和非连续转换模式
 - 片上温度传感器
- 片上电压传感器
- 2 个 12 位 DAC
 - 输出范围: 0 ~ V_{REF+}
 - 独立输出通道
 - 支持 Timer、EXTI 触发
- 4 个快速模拟比较器
- 3 个支持 PGA 模式的运算放大器
- 2 个 6 通道 DMA 控制器
 - 支持的外设: Timer、ADC、DAC、LCDC、UART、I²C、I²S、SPI、SDIO、ESMC
- 多达 86 个快速 I/O 端口:
 - 所有 I/O 口可以映像到 16 个外部中断
 - 部分端口支持 5 V 兼容输入
- 调试模式
 - 串行单线调试 (SWD) 或 JTAG 接口
- 多达 23 个定时器
 - 2 个 16 位高级控制定时器, 有 4 通道 PWM 输出, 以及死区生成和紧急停止功能
 - 1 个 32 位、14 个 16 位通用定时器, 有高达 4 个独立通道用于输入捕获/输出比较, PWM 独立通道总数高达 41 个, 通用定时器还支持使用正交解码器的两个输入的编码器接口
 - 1 个 16 位低功耗定时器
 - 2 个 16 位基本定时器, 可产生 DAC 触发
 - 2 个看门狗定时器 (独立的和窗口型的)
 - 1 个 SysTick 定时器: 24 位自减型计数器
- RTC
- 通信接口
 - 3 个 UART 接口
 - 3 个 USART 接口
 - 1 个 LPUART 接口

- 4 个 I²C 接口
- 3 个 SPI 接口
- 1 个 ESMC 接口
- 2 个 CAN 接口 (CAN2.0/CANFD)
- 2 个 USB-OTG 接口
- 1 个 Ethernet MAC 接口
- 1 个 SDIO 接口
- IRTIM (红外接口)
- AES 和 RNG 数据加密功能
- 可配置型 CRC
- 96 位的芯片唯一 ID (UID)
- 工作温度: -40 ~ 105 °C
- 封装: LQFP100、LQFP64、LQFP48、QFN32

目录

产品特性	2
1. 简介	7
2. 功能概述	10
2.1. ARM® Cortex®-M4F 处理器	10
2.2. 存储器	10
2.3. 存储器保护单元 (MPU)	11
2.4. Flash 加速器 (ACC)	11
2.5. Boot 模式	12
2.6. 备份寄存器 (BKP)	12
2.7. 时钟系统	12
2.8. 电源管理	14
2.8.1. 电源框图	14
2.8.2. 电源监控	15
2.8.3. 电压调节器	16
2.8.4. 低功耗模式	16
2.8.5. 电源复位	17
2.8.6. 系统复位	17
2.9. 通用输入输出 (GPIO)	17
2.10. DMA	18
2.11. 中断	18
2.11.1. 中断控制器 (NVIC)	18
2.11.2. 扩展中断 (EXTI)	19
2.12. 三角函数加速器 (CORDIC)	19
2.13. 模数转换器 (ADC)	19
2.14. 数模转换器 (DAC)	20
2.15. 模拟比较器 (COMP)	20
2.16. 数字放大器 (OPAMP)	21
2.17. 定时器 (TIMx)	21
2.17.1. 高级定时器 (TIM1/TIM8)	22
2.17.2. 通用定时器	22
2.17.3. 基本定时器 (TIM6/TIM7)	23
2.17.4. IWDG	23
2.17.5. WWDG	24
2.17.6. LPTIM	24
2.17.7. SysTick 定时器	24
2.18. 实时时钟 (RTC)	24
2.19. 循环冗余校验计算单元 (CRC)	24
2.20. 时钟校验系统 (CTC)	25

2.21. 系统配置控制器 (SYSCFG)	25
2.22. 调试支持模块 (DBG)	26
2.23. SDIO 控制器 (SDIO)	26
2.24. I ² C 总线接口 (I ² C)	26
2.25. 通用同步异步收发器 (USART)	27
2.26. 通用异步收发器 (UART)	28
2.27. 低功耗通用异步收发器 (LPUART)	29
2.28. 串行外设接口 (SPI)	29
2.29. 外部串行存储控制器 (ESMC)	30
2.30. LCD 控制器 (LCDC)	31
2.31. USB-OTG 全速模块 (USB-OTG)	31
2.32. 控制器局域网 (CAN)	32
2.33. 以太网控制器 (Ethernet MAC)	33
2.34. 加密模块 (AES)	33
2.35. 随机数生成模块 (RNG)	33
2.36. 调试接口 (SWD)	33
3. 引脚配置	34
3.1. 端口 A 复用功能映射	59
3.2. 端口 B 复用功能映射	60
3.3. 端口 C 复用功能映射	61
3.4. 端口 D 复用功能映射	62
3.5. 端口 E 复用功能映射	63
3.6. 端口 F 复用功能映射	64
4. 存储器映射	65
5. 电气特性	69
5.1. 测试条件	69
5.1.1. 最小值和最大值	69
5.1.2. 典型值	69
5.2. 绝对最大额定值	69
5.3. 工作条件	70
5.3.1. 通用工作条件	70
5.3.2. 复位和电压控制模块特性	71
5.3.3. 上下电工作条件	72
5.3.4. 工作电流特性	72
5.3.5. 低功耗模式唤醒时间	79
5.3.6. 外部时钟源特性	79
5.3.7. 内部高频时钟源 HSI 特性	82
5.3.8. 内部低频时钟源 LSI 特性	83
5.3.9. 锁相环 PLL 特性	83

5.3.10. 存储器特性	83
5.3.11. EFT 特性	84
5.3.12. ESD & LU 特性	84
5.3.13. I/O 电流注入特性	84
5.3.14. 端口特性	85
5.3.15. ADC 特性	86
5.3.16. DAC 特性	88
5.3.17. 比较器特性	89
5.3.18. 运算放大器特性	90
5.3.19. 温度传感器特性	92
5.3.20. 内置参考电压特性	92
5.3.21. ADC/DAC 内置参考电压	92
5.3.22. COMP 内置参考电压特性	93
5.3.23. 定时器特性	93
5.3.24. 通讯口特性	94
6. 封装信息	106
6.1. LQFP100 封装尺寸	106
6.2. LQFP64 封装尺寸	107
6.3. LQFP48 封装尺寸	108
6.4. QFN32 (4*4) 封装尺寸	109
7. 订购信息	110
8. 版本历史	111

1. 简介

PY32E407 系列微控制器采用高性能的 32 位 ARM® Cortex®-M4F 内核的 MCU。嵌入高达 512 KB Flash 和 144 KB SRAM 存储器，最高工作频率 170 MHz。包含多种不同封装类型多款产品。芯片集成硬件加速模块 Cordic、数字加密模块 AES、RNG 及多路 I²C、SPI、USART、UART、ESMC、USB、CAN 等通讯外设，3 路 12 位 ADC，2 路 DAC，23 个定时器，1 个 10/100M Ethernet MAC。

PY32E407 系列微控制器的工作温度范围为 -40 ~ 105 °C，工作电压范围 2.3 ~ 3.6 V。芯片提供睡眠、低功耗运行、低功耗睡眠、停机和待机 5 种低功耗工作模式，可以满足不同的低功耗应用。

PY32E407 系列微控制器适用于多种应用场景，例如控制器，手持设备，PC 外设，游戏和 GPS 平台、工业应用等。

外设	PY32E407V1ET7	PY32E407R1ET7	PY32E407C1ET7	PY32E407K1EU7
Flash (KB)	512	512	512	512
SRAM (KB)	144 (96+16+32)	144 (96+16+32)	144 (96+16+32)	144 (96+16+32)
定时器	通用定时器	15		
	高级定时器	2		
	SysTick	1		
	基本定时器	2		
	LPTIM	1		
	看门狗	2		
RTC		1		
通讯口	USART	3	3	3
	UART	3	3	1
	LPUART	1	1	1
	I ² C	4	4	3
	SPI (I ² S)	3(3)	3(3)	3(2)
	10/100 ETH	1	1	-
	CAN	2	2	2
	USBD-OTG	2	2	1
	SDIO	1	1	-
	ESMC	1	1	-
DMA (通道数)		2(6)		
GPIO	86	52	38	28
EXTI		16		
Cordic		1		
LCDC		1		
AES RNG		1		
ADC1	1 (14+5)	1 (14+5)	1 (10+5)	1 (6+5)
ADC2	1 (16+3)	1 (16+3)	1 (10+3)	1 (7+3)
ADC3	1 (15+4)	1 (3+4)	1 (3+4)	1 (1+4)
DAC	2 (1)	2 (1)	2 (1)	2 (1)
比较器	4	4	4	3
运算放大器		3		2
最高频率		170 MHz		
工作电压		2.3 ~ 3.6 V		
工作温度		-40 ~ 105 °C		
封装	LQFP100	LQFP64	LQFP48	QFN32(4*4)

表 1-1 PY32E407 系列产品规划及特征

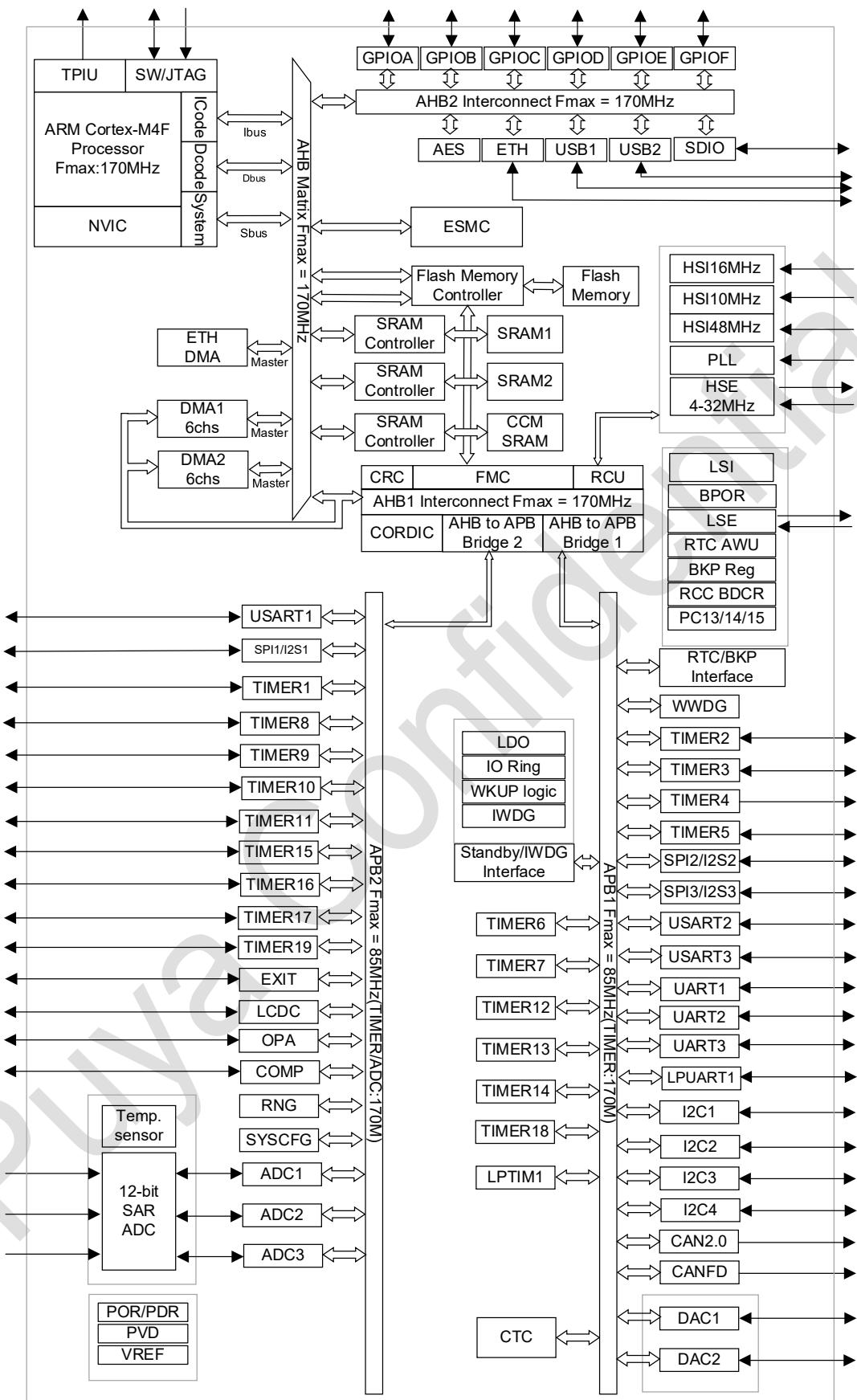


图 1-1 功能模块

2. 功能概述

2.1. ARM® Cortex®-M4F 处理器

ARM® Cortex®-M4F 处理器是支持 DSP 指令和 FPU 浮点运算的高性能嵌入式 32 位 RISC 处理器，具有优异的代码效率，采用通常 8 位和 16 位器件的存储器空间即可发挥 ARM 内核的高性能。该处理器支持一组 DSP 指令，能够实现有效的信号处理和复杂的算法执行。它的单精度 FPU (浮点单元) 通过使用元语言开发工具，可加速开发，防止饱和。为 MCU 提供了低成本的平台，低引脚数、低功耗、同时提供卓越的计算性能和先进的中断系统响应。与所有 ARM 工具和软件兼容。

32 位 ARM® Cortex®-M4F 处理器

- 支持 170 MHz 工作频率
- 单周期乘法器和硬件除法器
- 集成 DSP 指令
- 嵌套的中断向量控制
- 24 位系统滴答定时器

ARM® Cortex®-M4F 处理器是基于 ARMv7-M 架构，支持 Thumb 和 Thumb-2 指令集。

- 内部总线矩阵连接 I-Code 总线、D-Code 总线、系统总线、私有外围总线 (PPB) 和调试访问 (AHB-AP)
- 嵌套矢量中断控制器 (NVIC)
- Flash 补丁和断点 (FPB)
- 数据观察点和跟踪 (DWT)
- 指令跟踪单元 (ITM)
- 串口线 JTAG 调试端口 (SWJ-DP)
- 跟踪端口接口单元 (TPIU)
- 浮点运算单元 (FPU)
- 内存保护单元 (MPU)

2.2. 存储器

片内集成最大 144 KB SRAM。通过 bytes (8 位)、half-word (16 位) 或者 word (32 位) 的方式访问 SRAM。

SRAM 的起始地址是 0x2000 0000。

96 KB SRAM1 (映射到地址 0x2000 0000)

16 KB SRAM2 (映射到地址 0x2001 8000)

32 KB CCM SRAM (映射到地址 0x1000 0000 和 SRAM2 的末端)

当选择从 SRAM1 启动或选择物理重新映射时，CPU 可以通过系统总线或通过 ICode/DCode 总线访问 SRAM1。

CCM SRAM 映射到地址 0x1000 0000。

由于通过 ICode 总线访问，可以从 CCM SRAM 执行最高性能，无需任何重新映射。

CCM SRAM 接续在 SRAM2 结束后的地址，与 SRAM1 和 SRAM2 提供连续的地址空间。

片内集成 Flash，包含两个不同的物理区域组成：

- Main flash 区域，它包含应用程序和用户数据
- Information 区域，32 KB，它包括以下部分：
 - Option bytes
 - UID bytes
 - OTP
 - System memory

对 Main flash memory 的保护包括以下几种机制：

- 读保护 (RDP)，防止来自外部的访问
- 写保护 (WRP) 控制，以防止不想要的写操作（由于程序存储器指针的混乱）。写保护的最小保护单位为 64 KB
- 选项字节写保护，专门的解锁设计
- 专有代码读出保护 (PCROP)

Flash 内置 ECC (Error correction code) 功能，支持：

- 1 位错误检测和纠正
- 2 位错误检测

2.3. 存储器保护单元 (MPU)

存储器保护单元 (MPU) 用于管理 CPU 对存储器的访问，防止一个任务意外损坏另一个激活任务所使用的存储器或资源。此存储区被组织为最多 8 个保护区，还可依次再被分为最多 8 个子区。保护区大小可为 32 字节至可寻址存储器的整个 4G 字节。

若应用中有一些关键的或认证的代码必须受到保护，以免被其它任务的错误行为影响，则 MPU 尤其有用。它通常由 RTOS (实时操作系统) 管理。若程序访问的存储器位置被 MPU 禁止，则 RTOS 可检测到它并采取行动。在 RTOS 环境中，内核可基于执行的进程，动态更新 MPU 区的设置。MPU 是可选的，若应用不需要则可绕过。

2.4. Flash 加速器 (ACC)

为了发挥处理器的全部性能，该加速器将实施指令预取队列和分支缓存，从而提高了 Flash 的程序执行速度。根据 CoreMark 基准测试，该加速器所获得的性能需要达到相当于 Flash 在 CPU 频率高达 170 MHz 时以等待周期执行程序。

- ICODE 可以进行指令预取

- 指令缓存 64 条分支，数据位宽为 128 位
- 数据缓存 16 条分支，数据位宽为 128 位

2.5. Boot 模式

通过配置位 BOOT0 Pin, nBOOT0 / nBOOT1 / nSWBOOT0 (存放于 Option bytes 中) , 可选择三种不同的启动模式，如下表所示：

表 2-1 Boot 配置

Boot 模式配置					Mode
BOOT_LOCK	nBOOT1 FLASH_OPTR2[8]	nBOOT0 FLASH_OPTR2[14]	BOOT0 Pin PB8	nSWBOOT0 FLASH_OPTR2[13]	
1	X	X	X	X	选择 Main flash 作为启动区
0	X	X	0	1	选择 Main flash 作为启动区
0	X	1	X	0	选择 Main flash 作为启动区
0	0	X	1	1	选择 SRAM1 作为启动区
0	0	0	X	0	选择 SRAM1 作为启动区
0	1	X	1	1	选择 System flash 作为启动区
0	1	0	X	0	选择 System flash 作为启动区

Bootloader 程序存储在 System memory, 用于通过 USART、USB、SPI、I²C 接口下载 Flash 程序。

2.6. 备份寄存器 (BKP)

备份寄存器是 128 个 8 位的寄存器，可用来存储 128 个字节的用户应用程序数据。该模块处在备份域里，当 V_{CC} 电源被切断，他们仍然由 V_{BAT} 维持供电。当系统在待机模式下被唤醒，或系统复位或电源复位 (POR) 时，他们也不会被复位。

- 支持 128 字节数据后备寄存器
- 用来管理防侵入检测并具有中断功能的状态/控制寄存器
- 用来存储 RTC 校验值的校验寄存器。
- 在 PC13 引脚 (当该引脚不用于侵入检测时) 上输出 RTC 校准时钟，RTC 闹钟脉冲或者秒脉冲

2.7. 时钟系统

CPU 启动后默认系统时钟频率为 HSI 16 MHz (HSI16) , 在程序运行后可以重新配置系统时钟频率和系统时钟源。可以选择的高频时钟有：

- 一个 16 MHz 内部高精度 HSI16 时钟
- 一个 48 MHz 内部高精度 HSI48 时钟可用于驱动 USB
- 一个 40 kHz 可配置的内部 LSI 时钟
- 4 ~ 32 MHz HSE 时钟，并且可以使能 CSS 功能检测 HSE。如果 CSS fail，硬件会自动转换系统时钟为 HSI16，HSI16 频率由软件配置，同时 CPU NMI 中断产生。
- 一个 32.768 kHz LSE 时钟

- PLL 时钟，PLL 源可以选择 HSI 或 HSE。如果选择 HSE 源，当 CSS 使能并且 CSS fail 时，关闭 PLL 和 HSE，硬件选择系统时钟源为 HSI16。

AHB 时钟可以基于系统时钟分频，APB 时钟可以基于 AHB 时钟分频。AHB 频率最高为 170 MHz。APB 最高时钟为 85 MHz。

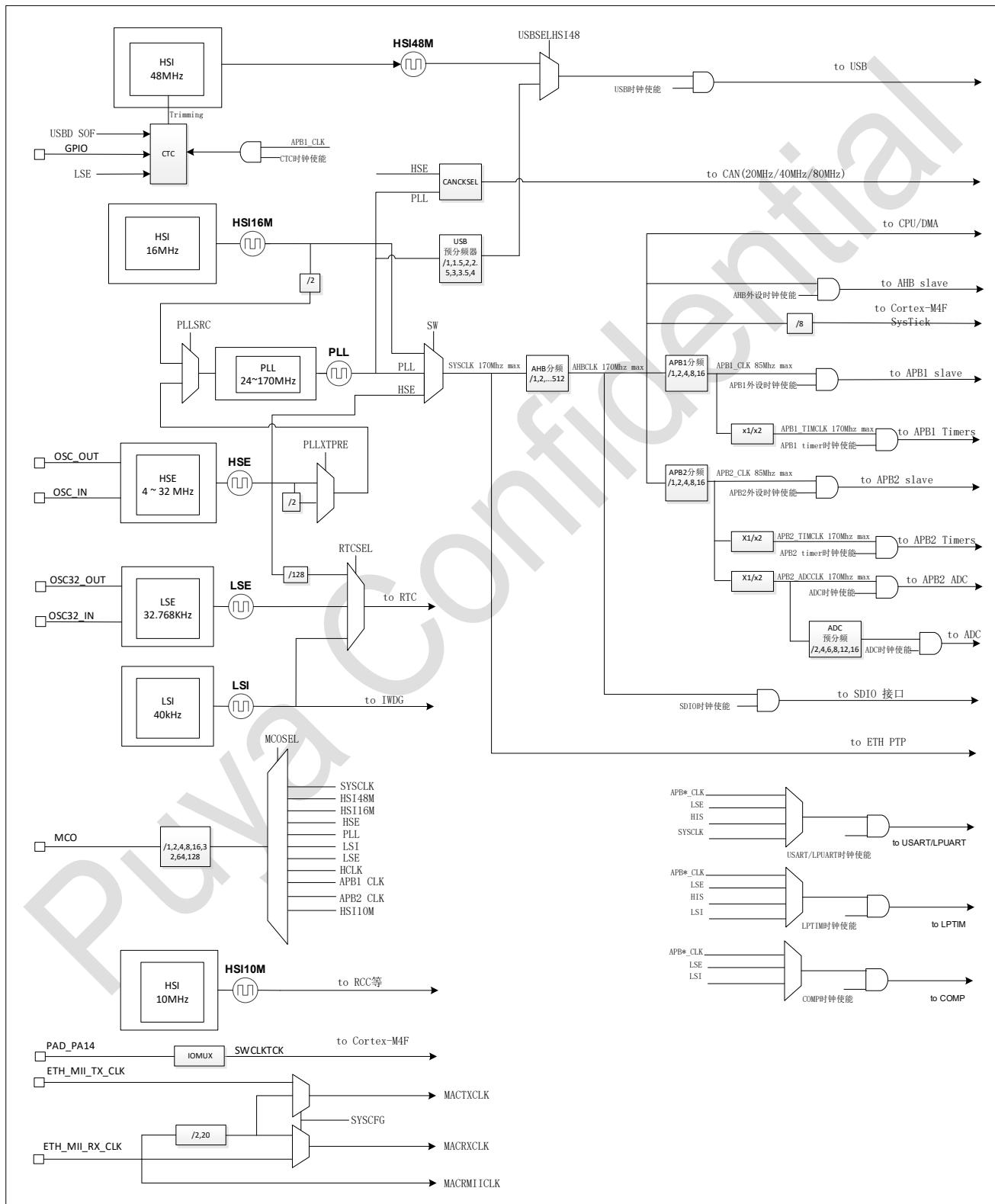


图 2-1 系统时钟结构图

2.8. 电源管理

2.8.1. 电源框图

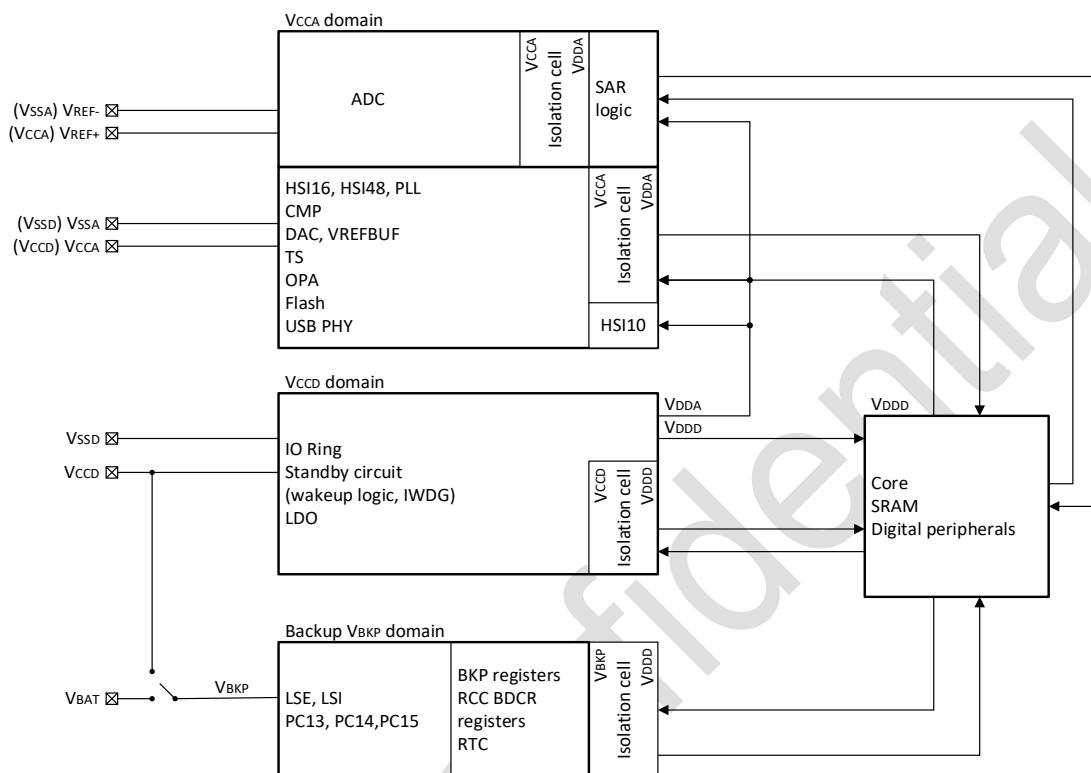


图 2-2 电源框图

表 2-2 电源框图

编号	电源	电源值	描述
1	V_{CC}	2.3 ~ 3.6 V	通过电源管脚为芯片提供电源。
2	V_{CCA}	2.3 ~ 3.6 V	通过电源管脚为芯片模拟电路提供电源。
3	V_{BAT}	1.65 ~ 3.6 V	为 RTC 和 BKP 寄存器供电。
4	V_{DDX} (V_{DDA}/V_{DDD})	1.1 V	<p>来自于 VR 的输出, 为芯片内部主要逻辑电路、SRAM 供电, 共有两种供电模式:</p> <p>主模式 MR (Main regulator) : 默认 1.1 V 供电, 两档可选, 主要为 Run 模式和 Sleep 模式供电;</p> <p>低功耗模式 LPR (Low power regulator) : 默认 0.9 V 供电, 有四档可选。用于 Low-power run 、Low-power sleep 模式供电, Stop 模式 MR 或者 LPR 供电可选。</p> <p>当进入 Standby 模式, VR (包括 MR 和 LPR) 停止工作, V_{DDX} 域断电。</p>

2.8.2. 电源监控

2.8.2.1. 上下电复位 (POR/PDR)

芯片内设计上电复位 (POR) / 掉电复位 (PDR) 模块, 为芯片提供上电和下电复位。该模块在各种模式之下都保持工作。

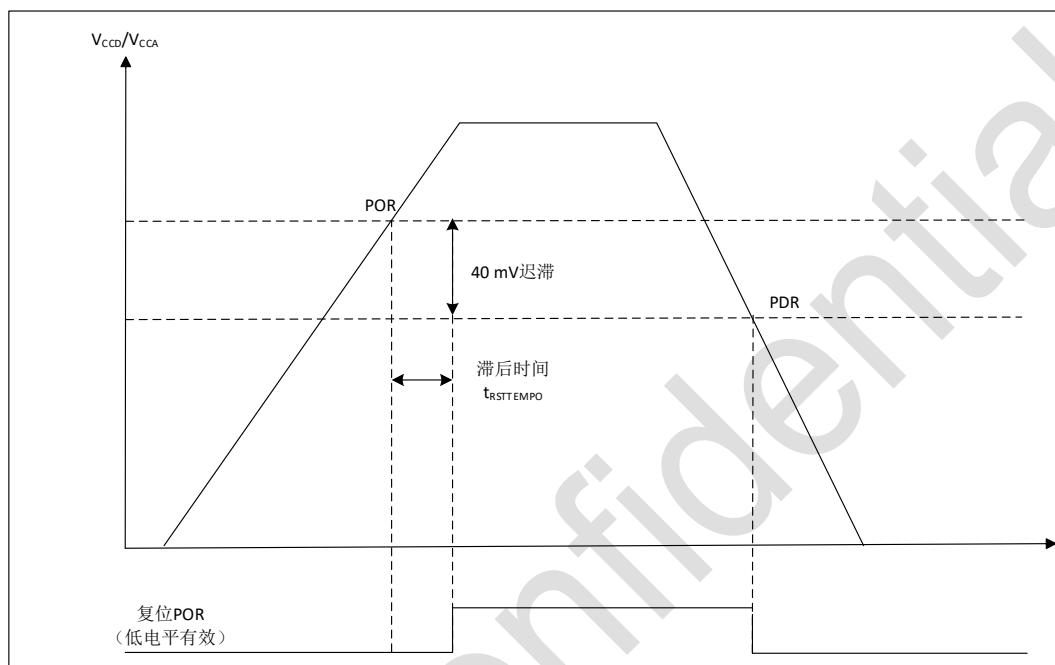


图 2-3 POR/PDR 阈值

2.8.2.2. 电压检测 (PWD)

可编程电压监测 (PWD) 模块可以用来检测 V_{CC} 电源, 检测点可通过寄存器进行配置。当 V_{CC} 高于或低于 PWD 的检测点时, 产生相应的复位标识。

该事件内部连接到 EXTI 的 line 16, 取决于 EXTI line 16 上升/下降沿配置, 当 V_{CC} 上升超过 PWD 的检测点, 或者 V_{CC} 降低到 PWD 的检测点以下, 产生中断, 在中断服务程序中用户可以进行紧急的 shutdown 任务。

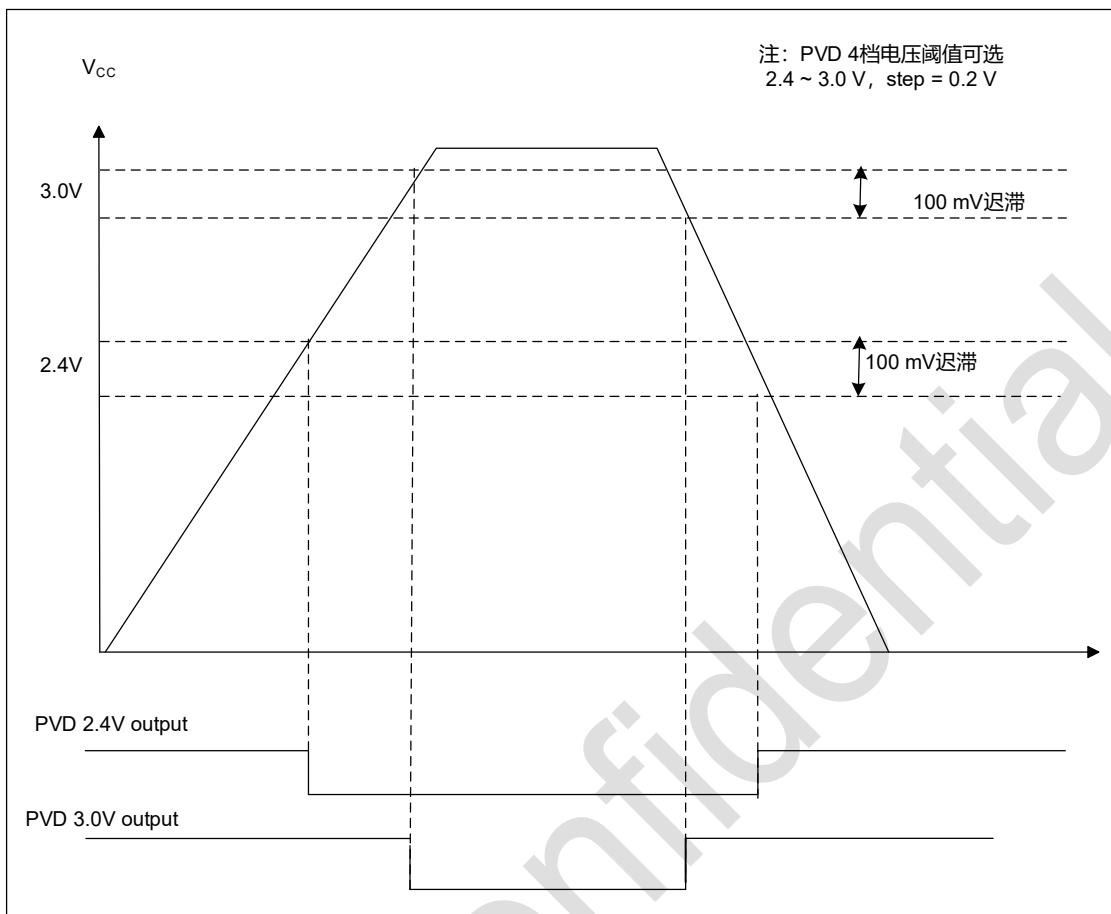


图 2-4 PVD 阈值

2.8.3. 电压调节器

芯片设计两种电压调节器工作模式：

- 主模式 MR (Main regulator) 在芯片正常运行状态时保持工作。
- 低功耗模式 LPR (Low power regulator) 在低功耗模式下，提供更低功耗的选择。

2.8.4. 低功耗模式

芯片在正常的运行模式之外，有 5 个低功耗模式：

- **睡眠模式 (Sleep mode)**：CPU 时钟关闭 (NVIC, SysTick 等工作)，外设可以配置为保持工作。（建议只使能必须工作的模块，在模块工作结束后关闭该模块）
- **低功耗运行模式 (Low-power run mode)**：该模式下 CPU 工作频率被限定在 2 MHz，有独立时钟的周边模块可工作在 HSI16 频率下。
- **低功耗睡眠模式 (Low-power sleep mode)**：该模式仅能从 Low-power run 模式进入、CPU 时钟关闭，当由事件或中断唤醒时，系统将回到 Low-power run 模式。

- **停机模式 (Stop mode)** : 该模式下 SRAM 和寄存器的内容保持, 高速时钟 PLL、HSI16 和 HSE 关闭, V_{DDX} 域下大部分模块时钟都被停掉。GPIO, PVD, USB, ETH, I²C, LPUART, IWDG, Low-power timer, COMP 和 RTC 可以唤醒 Stop 模式。
- **待机模式 (Standby mode)** : V_{DDX} 域断电, 仅 V_{CCD} 和 V_{BKP} 域工作。可通过配置 (PWR_CR3.RRS) , 选择 SRAM2 是否保电, Standby 模式退出的条件有四种: NRST 上的外部复位、IWDG 复位、RTC 闹钟到时、WKUP 管脚上的上升沿。
芯片存在 V_{BAT} 电源, 所以在 V_{CC} 掉电时, 芯片仅 V_{BKP} 域工作。

2.8.5. 电源复位

电源复位在以下几种情况下产生:

- 上下电复位 (POR / PDR)
- 在退出待机模式时

2.8.6. 系统复位

当产生以下事件时, 产生系统复位:

- NRST pin 的复位
- 窗口看门狗复位 (WWDG)
- 独立看门狗复位 (IWDG)
- SYSRESETREQ 软件复位
- 低功耗管理复位 (NRST_STDBY/NRST_STOP)
- Option byte load 复位 (OBL)

2.9. 通用输入输出 (GPIO)

每个 GPIO 都可以由软件配置为输出 (push - pull 或者 open drain) , 输入 (floating, pull – up / down, analog) , 外设复用功能, 锁定机制会冻结 I/O 口配置功能。GPIO 功能概要如下:

- 寄存器支持 IO Port / AHB 总线读写
- 输出状态: 推挽输出或者开漏输出 + 上拉/下拉
- 数据输出来自数据寄存器 (GPIOx_ODR) 或者外设 (复用功能输出)
- 每个 I/O 可进行速度选择
- 输入状态: 浮空, 上拉/下拉, 模拟
- 数据输入送给输入数据寄存器 (GPIOx_IDR) 或者外设 (复用功能输入)
- 位置位/复位寄存器 (GPIOx_BSRR) , 允许对 GPIOx_ODR 的位写访问
- 锁定机制 (GPIOx_LCKR) 会冻结 I/O 口配置功能
- 模拟功能
- 复用功能选择寄存器 (每个 IO 口最多 16 种复用功能)
- 高度灵活的 I/O 多路选择功能, 使得 I/O 口作为 GPIO, 或者作为各种外设接口功能

2.10. DMA

直接存储器存取 (DMA) 用来提供在外设和存储器之间或者存储器和存储器之间的高速数据传输。搬移数据无需 CPU 干预，数据可以通过 DMA 快速地移动，这就节省了 CPU 的资源来做其他操作。该器件具有两个通用双端口 DMA (DMA1 和 DMA2)，分别有 6 个通道，每个通道专门用来管理来自于一个或多个外设对存储器访问的请求。还有一个仲裁器来协调各个 DMA 请求的优先权。

主要功能如下：

- 单 AHB Master
- 支持外设到存储器，存储器到外设，存储器到存储器和外设到外设的数据传输
- 片上存储器设备，如 Flash、SRAM、AHB 和 APB 外设作为源和目标
- 所有 DMA 通道均可独立配置：
 - 每个通道要么与来自外设的 DMA 请求信号相关联，要么与存储器到存储器传输中的软件触发器相关联。这个配置是由软件完成的。
 - 请求之间的优先级由软件可编程（每个通道 4 级：非常高、高、中、低），在相等的情况下由硬件可编程（例如对通道 1 的请求比对通道 2 的请求优先）。
 - 源和目标的传输大小是独立的（字节、半字、字），模拟打包和拆包。源地址和目标地址必须按数据大小对齐。
 - 可编程传输数据数：0 ~ 65535
- 每个通道生成一个中断请求。每个中断请求都是由三个 DMA 事件中的任何一个引起的：传输完成、半传输或传输错误。

2.11. 中断

PY32E407 通过 Cortex-M4F 处理器内嵌的矢量中断控制器 (NVIC) 和一个扩展中断/事件控制器 (EXTI) 来处理异常。

2.11.1. 中断控制器 (NVIC)

NVIC 是 Cortex-M4F 处理器内部紧耦合 IP。NVIC 可以处理来自处理器外部的 NMI (不可屏蔽中断) 和可屏蔽外部中断，以及 Cortex-M4F 内部异常。NVIC 提供了灵活的优先级管理。

处理器核心与 NVIC 的紧密耦合大大减少了中断事件和相应中断服务例程 (ISR) 启动之间的延迟。

ISR 向量列在一个向量表中，存储在 NVIC 的一个地址。要执行的 ISR 的向量地址是由向量表地址和用作偏移量的 ISR 序号组成的。

如果高优先级的中断事件发生，而低优先级的中断事件刚好在等待响应，稍后到达的高优先级的中断事件将首先被响应。另一种优化称为尾链 (tail-chaining)。当从一个高优先级的 ISR 返回时，然后启动一个挂起的低优先级的 ISR，将跳过不必要的处理器上下文的压栈和弹栈。这减少了延迟，提高了电源效率。

NVIC 特性：

- 低延时中断处理

- 4 级中断优先级
- 支持 1 个 NMI 中断
- 86 个可屏蔽的中断通道 (不包括 16 个 CPU 的中断)
- 高优先级中断可打断低优先级中断响应
- 支持尾链 (tail - chaining) 优化
- 硬件中断向量检索

2.11.2. 扩展中断 (EXTI)

- EXTI 增加了处理物理线事件的灵活性，系统可以通过 GPIO 和指定模块 (PWD/RTC/USB OTG/ETH/COMP1/COMP2/COMP3/COMP4) 输入事件唤醒。
- 任何 GPIO 信号通过选择信号配置为 EXTI0 ~ 15 通道。
- 每个 EXTI line 都可以通过寄存器独立屏蔽。
- EXTI 控制器可以捕获比内部时钟周期短的脉冲。
- EXTI 控制器中的寄存器锁存每个事件，即使是在 Stop 模式下，处理器从停止模式唤醒后也能识别唤醒的来源，或者识别引起中断的 GPIO 和事件。

2.12. 三角函数加速器 (CORDIC)

CORDIC 模块提供特定的数学函数的硬件加速，特别是三角函数，通常用于电机控制、计量、信号处理和许多其他应用。与软件实现相比，它加快了这些函数的计算速度，允许更低的系统频率或以释放处理器周期以执行其他任务。

- 24 位 CORDIC 旋转引擎
- 圆周与双曲线系统
- 旋转和向量模式
- 功能有: sine、cosine、sinh、cosh、atan、atan2、atanh、modulus、square root、natural、logarithm
- 可编程精度
- 低延迟的 AHB 接口
- 无需轮询或中断，结果准备好后即可读取结果
- DMA 读/写通道
- 通过 DMA 对多个寄存器进行读/写

2.13. 模数转换器 (ADC)

- 芯片内置有 3 个 12 位的 SAR-ADC。每个 ADC 最多支持 19 个转换通道，ADC1 连接 14 个外部通道，5 个内部通道，ADC2 连接 16 个外部通道，3 个内部通道，ADC3 连接 15 个外部通道，4 个内部通道，在单次、扫描、间断或连续模式下执行转换。
- 各通道的转换模式可以设定为单次、连续、扫描、间断模式。转换结果存储在左对齐或者右对齐的 16 位数据寄存器中

- 模拟看门狗允许应用检测是否输入电压超出了用户定义的高或者低阈值
- ADC 实现了在低频率下运行, 可获得很低的功耗
- 在转换结束, 连续转换结束, 模拟看门狗时转换电压超出阈值时产生中断请求
- ADC 可配置 12 位、10 位、8 位和 6 位分辨率
- 最大 ADC 采样率: 4 Msps
- 支持自校准
- 支持可编程采样时间
- 数据寄存器可配置数据对齐方式
- 支持规则通道数据转换的 DMA 请求
- 双 ADC 模式 (带 2 个或以上的 ADC 器件)
- 可配置的单端或差分输入
- 过采样器, 具有 16 位数据寄存器, 过采样率 2 ~ 256 可调, 可编程数据移位可达 8 位
- 数据预处理, 支持增益补偿, offset 补偿

2.14. 数模转换器 (DAC)

两个数字/模拟转换模块 (DAC) 是 12 位数字输入, 电压输出的数字/模拟转换器。DAC 可以配置为 8 位或 12 位模式, 也可以与 DMA 控制器配合使用。DAC 工作在 12 位模式时, 数据可以设置成左对齐或右对齐。DAC 模块有 2 个输出通道, 每个通道都有单独的转换器。在双 DAC 模式下, 2 个通道可以独立地进行转换, 也可以同时进行转换并同步地更新 2 个通道的输出。DAC 可以通过引脚输入参考电压 V_{REF+} 以获得更精确的转换结果。主要特性如下:

- 12 位模式下数据左对齐或者右对齐
- 同步更新功能
- 噪声波形生成
- 三角波形生成
- 双 DAC 通道同时或者分别转换
- 每个通道都有 DMA 功能
- 支持 DMA 下溢错误检测
- 外部触发转换
- 输入参考电压 V_{REF+}

2.15. 模拟比较器 (COMP)

芯片内集成 4 个通用比较器 (General purpose comparators) COMP, 分别是 COMP1、COMP2、COMP3 和 COMP4。这 4 个模块可以作为单独的模块, 也可以与 timer 组合在一起使用。比较器可以被模拟信号触发, 产生低功耗模式唤醒功能; 可以模拟信号调节; 当与来自 timer 的 PWM 输出连接时, Cycle by cycle 的电流控制回路。主要特性如下:

- 支持电压比较功能, 每个比较器有可配置的正或者负输入, 以实现灵活的电压选择

- 多路 I/O pin
- V_{CCA}/V_{REFCMP} 的 64 档分压
- 温度传感器输出
- DAC 输出
- 可编程速度和功耗
- Rail to Rail
- 可编程的迟滞功能
- 配置寄存器写保护 (LOCK 功能)
- 输出可以被连接到 I/O 或者 timer 的输入作为触发
- 每个 COMP 具有中断产生能力，用作芯片从低功耗模式 (Sleep/Stop) 的唤醒 (通过 EXTI)
- 提供软件可配置数字滤波时间以增强芯片抗干扰能力
- 支持输出消隐以降低开关噪声
- 支持 Windows Comp 功能

2.16. 数字放大器 (OPAMP)

内嵌入了 3 个运算放大器，每个运算放大器有两个输入和一个输出。三个 I/O 可以连接到外部引脚，从而实现任何类型的外部互连。运算放大器可以配置为独立模式（外部增益设置模式），可编程增益放大器模式包括带外部滤波的可编程增益放大器模式，带外部偏置 (bias) 的非反相或反相模式和带外部偏置的非反相或带滤波的反相模式。作为一个放大器非反相增益范围为 2 ~ 32，反相增益范围从 -1 ~ -31。

正输入可以连接到内部 DAC。输出连接到内部 ADC。主要特性如下：

- 轨对轨输入和输出电压范围
- 低输入偏置电流
- 低输入偏移电压
- 高频增益带宽
- 高速模式可实现更好的转换率

2.17. 定时器 (TIMx)

表 2-3 定时器特性

类型	定时器	位宽	计数方向	预分频	DMA	捕获/比较通道	互补输出
高级定时器	TIM1	16 位	递增、递减、中心对齐	1 ~ 65536	支持	4	4
	TIM8	16 位	递增、递减、中心对齐	1 ~ 65536	支持	4	4
通用定时器	TIM2	32 位	递增、递减、中心对齐	1 ~ 65536	支持	4	-
	TIM3	16 位	递增、递减、中心对齐	1 ~ 65536	支持	4	-
	TIM4	16 位	递增、递减、中心对齐	1 ~ 65536	支持	4	-
	TIM5	16 位	递增、递减、中心对齐	1 ~ 65536	支持	4	-

类型	定时器	位宽	计数方向	预分频	DMA	捕获/比较通道	互补输出
	TIM18	16 位	递增、递减、中心对齐	1 ~ 65536	支持	4	-
通用定时器	TIM10/ TIM11/ TIM13/ TIM14/TIM19	16 位	递增	1 ~ 65536	-	1	-
通用定时器	TIM9/ TIM12	16 位	递增	1 ~ 65536	-	2	-
通用定时器	TIM15	16 位	递增	1 ~ 65536	支持	2	1
通用定时器	TIM16/TIM17	16 位	递增	1 ~ 65536	支持	1	1
基本定时器	TIM6, TIM7	16 位	递增	1 ~ 65536	支持	-	-

2.17.1. 高级定时器 (TIM1/TIM8)

高级定时器 (TIM1/TIM8) 由 16 位被可编程分频器驱动的自动装载计数器组成。它可以被用作各种场景，包括：输入信号（输入捕获）的脉冲长度测量，或者产生输出波形（输出比较、输出 PWM、带死区插入的互补 PWM）。

TIM1/TIM8 包括 4 个独立通道，用作：

- 输入捕获
- 输出比较
- PWM 产生（边缘或者中心对齐模式）
- 单脉冲模式输出

如果 TIM1/TIM8 配置为标准的 16 位计时器，则它具有与 TIMx 计时器相同的特性。如果配置为 16 位 PWM 发生器，则具有全调制能力（0 ~ 100%）。

两路刹车输入，将定时器的输出信号置于安全状态中。

增加抖动模式提高 PWM 的有效分辨率。

增加索引输入，计数器通过编码器指示的绝对位置索引信号复位。

增加 PWM 组合模式、非对称模式和组合三项模式。

在 MCU debug 模式，TIM1/TIM8 可以冻结计数。

具有相同架构的 timer 特性共享，因此 TIM1/TIM8 可以通过计时器链接功能与其他计时器一起工作，以实现同步或事件链接。

TIM1/TIM8 支持 DMA 功能。

2.17.2. 通用定时器

2.17.2.1. TIM2/TIM3/TIM4/TIM5/TIM18

TIM2/TIM3/TIM4/TIM5/TIM18 通用定时器是由 16 位可编程分频器驱动的 16 (TIM2 是 32) 位自动重装载计数器构成。具有 4 个独立的通道，每个用于输入捕获/输出比较，PWM 或者单脉冲模式输出。

- 可以通过计时器链接功能与 TIM1 一起工作
- 支持 DMA 功能

- 能够处理正交（增量）编码器信号和数字输出从 1 到 3 霍尔效应传感器
- 在 MCU debug 模式，TIM2/TIM3/TIM4/TIM5 可以冻结计数

2.17.2.2. TIM10/ TIM11/ TIM13/TIM14/TIM19

- 通用定时器 TIM10/TIM11/TIM13/TIM14/TIM19 由可编程预分频器驱动的 16 位向上自动装载计数器构成。
- TIM10/TIM11/TIM13/TIM14/TIM19 具有 1 个独立通道用于输入捕获/输出比较，PWM 或者单脉冲模式输出。
- 在 MCU debug 模式，TIM10/TIM11/TIM13/TIM14/TIM19 可以冻结计数。

2.17.2.3. TIM9/TIM12

- TIM9 和 TIM12 由可编程预分频器驱动的 16 位向上自动装载计数器构成。
- TIM9 和 TIM12 具有 2 个独立通道用于输入捕获/输出比较，PWM 或者单脉冲模式输出。
- TIM9 和 TIM12 具有带死区的互补输出。
- 在 MCU debug 模式，TIM9 和 TIM12 可以冻结计数。

2.17.2.4. TIM15/TIM16/TIM17

- TIM15/TIM16/TIM17 由可编程预分频器驱动的 16 位向上自动装载计数器构成。
- TIM15 具有 2 个（TIM16/TIM17 具有 1 个）独立通道用于输入捕获/输出比较，PWM 或者单脉冲模式输出。
- TIM15/TIM16/TIM17 带有可编程死区时间的互补输出
- 通过外部信号来控制定时器与定时器之间互联（仅 TIM15 支持）
- 支持 DMA 功能

2.17.3. 基本定时器 (TIM6/TIM7)

- 基本定时器 TIM6/TIM7 包含一个 16 位自动装载计数器，由各自的可编程预分频器驱动。
- 16 位自动装载计数器。
- 触发 DAC 的同步电路。
- 在更新事件（计数器溢出）发生时产生中断/DMA 请求。

2.17.4. IWDG

芯片内集成了一个独立看门狗定时器（简称 IWDG），该模块具有高安全级别、时序精确及灵活使用的特点。IWDG 发现并解决由于软件失效造成的功能混乱，并在计数器达到指定的 timeout 值时触发系统复位。

- IWDG 由独立的 RC 振荡器提供时钟，可在 Stop 和 Standby 模式下工作。
- IWDG 最适合需要看门狗作为主应用之外的独立过程，并且无很高的时序准确度限制的应用。

- 通过选项字节的控制，可以使能 IWDG 硬件模式。
- IWDG 是 Stop 模式的唤醒源，以复位的方式唤醒 Stop 模式。
- 在 MCU debug 模式，IWDG 可以冻结计数值。

2.17.5. WWDG

系统窗口看门狗是基于一个 7 位的下行计数器，可以设置为自由运行。当出现问题时，它可以作为一个看门狗来复位系统。计数时钟为 APB 时钟 (PCLK)。它具有预警中断能力，计数器可以在 MCU debug 模式下被冻结。

2.17.6. LPTIM

LPTIM 是一款 16 位定时器。LPTIM 将系统从低功耗模式中唤醒的能力使得它适用于实际的低功耗应用中，LPTIM 引入一种灵活的时钟方案，可提供所需的功能和性能，同时将低功耗降至最低。

- 16 位向上计数器
- 3 位预分频器，具有 8 个可能的分频因子 (1、2、4、8、16、32、64、128)
- 可选时钟：LSE、LSI 和 APB 时钟
- 支持单次和连续模式

2.17.7. SysTick 定时器

SysTick 计数器专门用于实时操作系统 (RTOS)，但也可以用作标准的向下计数器。

SysTick 特性：

- 24 位向下计数
- 自装载能力
- 计数器记到 0 时可产生中断 (可屏蔽)

2.18. 实时时钟 (RTC)

实时时钟是一个独立的定时器。RTC 模块拥有一组连续计数的计数器，在相应软件配置下，可提供时钟日历的功能。修改计数器的值可以重新设置系统当前的时间和日期。

- RTC 为预分频系数最高为 2^{20} 的 32 位可编程计数器
- RTC 计数器时钟源可以为 LSE、LSI 以及 HSE 时钟除以 128
- RTC 可以作为 Stop 和 Standby 唤醒源
- RTC 可以产生闹钟中断，秒中断和溢出中断 (可屏蔽)
- RTC 支持时钟校准
- 在 MCU debug 模式，RTC 可以冻结计数

2.19. 循环冗余校验计算单元 (CRC)

循环冗余校验 (CRC) 计算单元是根据固定的生成多项式得到 32 位 CRC 计算结果。在其他的应用中，CRC 技术主要应用于核实数据传输或者数据存储的正确性和完整性。CRC 计算单元含有 1 个 32 位数据寄存器：

- 对该寄存器进行写操作时，作为输入寄存器，可以输入要进行 CRC 计算的新数据。
- 对该寄存器进行读操作时，返回上一次 CRC 计算的结果。
- 每一次写入数据寄存器，其计算结果是前一次 CRC 计算结果和新计算结果的组合（对整个 32 位字进行 CRC 计算，而不是逐字节地计算）。
- 可以通过设置寄存器 CRC_CR 的 RESET 位来重置寄存器 CRC_DR 为 0xFFFF FFFF。该操作不影响寄存器 CRC_IDR 内的数据。
- 支持配置 CRC 初始值
- 支持配置 CRC 多项式
- 支持输入数据以 8/16/32 位为单位反转
- 支持输出反转
- 输入数据位宽支持 8/16/32 位
- 多项式位宽可配置为 7/8/16/32 位，其宽度等同于输出数据的位宽

2.20. 时钟校验系统 (CTC)

时钟校准控制器 (CTC) 采用硬件的方式，自动校准内部 HSI 48 MHz 时钟，并作为 USB-OTG 模块时钟源。CTC 模块基于外部高精度的参考信号源来校准 HSI 的时钟频率，通过自动的或手动的调整校准值，以得到一个精准的 48 MHz 时钟。

CTC 模块主要完成如下功能：

- 三个外部参考信号源：GPIO、LSE 时钟、USBD_SOF。
- 提供软件参考同步脉冲。
- 硬件自动校准，无需软件操作。
- 具有参考信号源捕获和重载功能的 16 位校准计数器。
- 用于频率评估和自动校准的 8 位时钟校准基值。
- 标志位和中断，用于指示时钟校准的状态：校准成功状态 (CKOKIF)，警告状态 (CKWARNIF) 和错误状态 (ERRIF)。

2.21. 系统配置控制器 (SYSCFG)

SYSCFG 模块主要完成如下功能：

- I²C Fm+模式的使能与关闭
- 根据不同 boot 模式，映射初始程序区。
- DMA 外设通道选择控制。
- 模拟输入通道使能
- 所有 GPIO 的噪声滤波器的使能与关闭
- 所有 GPIO 的 EXTI (外部中断) 的使能与关闭
- Dual bank internal Flash 的地址映射配置
- PVD Lock 的使能与关闭

- Cortex-M4F LOCKUP 的使能与关闭
- ECC Lock 的使能与关闭
- SRAM1, CCM SRAM 的奇偶校验的使能与关闭
- CCM SRAM 控制 (擦除, 写保护等)

2.22. 调试支持模块 (DBG)

DBG 模块协助调试器提供以下功能:

- 支持睡眠模式, 停止模式和待机模式
- CPU 进入 HALT 时, 控制定时器、看门狗停止计数或者继续计数
- CPU 进入 HALT 时, 阻止 I²C1、I²C2、I²C3、I²C4 SMBUS 超时
- CPU 进入 HALT 时, 阻止 CAN2.0 和 CANFD 的接收寄存器更新
- 分配跟踪引脚

DBG 寄存器还提供芯片 ID 编码。使用 JTAG 或者 SW 调试接口, 或者用户程序都可以访问此 ID 编码。

2.23. SDIO 控制器 (SDIO)

SD/SDIO MMC 卡主机模块 (SDIO) 在 AHB 外设总线和多媒体卡 (MMC) 、 SD 存储卡、 SDIO 卡和 CE-ATA 设备间提供了操作接口。

支持以下功能:

- 支持 SD 卡 2.0 版本
- 支持 SD I/O 卡 2.0 版本
- 支持 MMC4.2 版本
- 支持 CE-ATA 1.1 版本
- 支持命令完成信号和向主机处理器中断
- 命令完成信号关闭功能

SDIO 不支持 SPI 模式的通信模式, 只支持 I/O 模式的 SD 卡或复合卡中的 I/O 部分, 不能支持 SD 存储设备中的很多命令, 如擦除命令。另外, SD 存储卡和 SD I/O 卡中有些命令是不同的, SDIO 也不支持这些命令。MMC4.1 不支持 DDR 启动。

2.24. I²C 总线接口 (I²C)

I²C (Inter-integrated circuit) 总线接口连接微控制器和串行 I²C 总线。它提供多主机功能, 控制所有 I²C 总线特定的顺序、协议、仲裁和时序。支持标准 (Sm) 、快速 (Fm) 、快速模式增强 (Fm+) 。

I²C 特性:

- 4 个 I²C 接口, 支持 Slave 和 Master 模式
- 支持不同通讯速度
 - 标准模式 (Sm) : 高达 100 kHz

- 快速模式 (Fm) : 高达 400 kHz
- 快速模式增强 (Fm+) : 高达 1 MHz
- 作为 Master
 - 产生 Clock
 - Start 和 Stop 的产生
- 作为 Slave
 - 可编程的 I²C 地址检测 (1 个可掩码配置)
 - 可响应 2 个从地址的双地址能力
 - Stop 位的发现
- 7 位/10 位寻址模式
- 支持广播呼叫 (General call)
- 状态标志位
 - 发送/接收模式标志位
 - 字节传输完成标志位
 - I²C busy 标志位
- 错误标志位
 - 主机仲裁丢失
 - 地址/数据传输后的 ACK 失败
 - Start/Stop 错误
 - 过载 (overrun) / 欠载 (underrun) (时钟拉长功能禁止)
- 可选的时钟拉长功能
- 具备 DMA 能力的单字节 buffer
- 软件复位
- 模拟噪声滤波功能
- 支持 SMBus
- 支持低功耗模式, 从 Stop 模式唤醒

2.25. 通用同步异步收发器 (USART)

PY32E407 包含 3 个通用同步/异步收发器 (USART) , 支持 ISO7816, LIN, IrDA。

通用同步异步收发器 (USART) 提供了一种灵活的方法与使用工业标准 NRZ 异步串行数据格式的外部设备之间进行全双工数据交换。USART 利用分数波特率发生器提供宽范围的波特率选择。

它支持同步单向通信和半双工单线通信, 它还允许多处理器通信。

支持自动波特率检测。

使用多缓冲器配置的 DMA 方式, 可以实现高速数据通信。

USART 特性:

- 全双工异步通信
- NRZ 标准格式
- 可配置 16 倍或者 8 倍过采样, 增加在速度和时钟容忍度的灵活性

- 发送和接收共用的可编程波特率，最高达 4.5 Mbit/s
- 自动波特率检测
- 两个用于收发数据的内部 FIFO
- 每个 FIFO 均可由软件使能/禁止，并且均带有一个状态标志
- 双时钟域，带有独立于 PCLK 的外设专用内核时钟
- 可编程的数据顺序，最先移位 MSB 或 LSB
- 可编程的数据长度 7 位和 8 位或者 9 位
- 可配置的停止位（支持 0.5、1、1.5 或 2 个停止位）
- 发送方为同步传输提供时钟
- 单线半双工通讯
- 独立的发送和接收使能位
- 硬件流控制：RS232、RS485
- 通过 DMA 缓冲接收/发送字节
- 检测标志
 - 接收 buffer 满
 - 发送 buffer 空
 - 传输结束
- 奇偶校验控制
 - 发送校验位
 - 对接收数据进行校验
- 多处理器通信
 - 如果地址不匹配，则进入静默模式
- 从静默模式唤醒：通过空闲检测和地址标志检测，两种唤醒接收器的方式：地址位（MSB，第 9 位），总线空闲。
- 可配置 16 倍或者 8 倍过采样，增加在速度和时钟容忍度

2.26. 通用异步收发器 (UART)

PY32E407 包含 3 个通用异步收发器 (UART)：

- 支持 5/6/7/8/9 位串行数据
- 支持 1/2 位 STOP 位（5 位数据时：1/1.5 位 STOP）
- 支持发送地址/数据
- 支持固定奇偶校验
- 支持 break 帧
- 起始位错误检测
- 支持可编程分数波特率
- 支持 SWAP 功能
- 支持大小端切换 MSBFIRST 功能
- 全双工异步通信
- NRZ 标准格式

2.27. 低功耗通用异步收发器 (LPUART)

PY32E407 包含 1 个低功耗通用异步收发器 (LPUART) , 支持

- 全双工异步通讯
- NRZ 标准模式
- 波特率可编程
- 32.768 kHz 时钟, 波特率范围 300 ~ 9600, 更高波特率需要更高时钟频率支持
- 支持传送和接收 FIFO, 软件可分别使能,
- 双时钟域: PCLK 及专用 kernel 时钟
- Word 长度可配置 (7/8/9 bits)
- 可配置 MSB 或者 LSB first 移位
- Stop 位数可配置 (1/2 bit stop)
- 单线半双工通讯
- 支持 DMA 连续传输
- 在 SRAM 里利用集中式 DMA 缓冲接收/发送字节
- 传送和接收独立使能
- 独立发送/接收信号极性控制
- Tx/Rx pin 可以互换
- 支持硬件 RS-485/modem 流控制
- 奇偶校验控制: 发送时产生奇偶校验位, 接收时奇偶校验
- 错误标志
- 中断源标志
- 支持 5/6/7/8/9 位串行数据

2.28. 串行外设接口 (SPI)

PY32E407 包含 3 个 SPI。串行外设接口 (SPI) 允许芯片与外部设备以半双工、全双工、单工同步的串行方式通信。此接口可以被配置成主模式, 并为外部从设备提供通信时钟 (SCK)。接口还能以多主配置方式工作。

SPI 特性如下:

- Master 或者 Slave 模式
- 3 线全双工同步传输
- 2 线半双工同步传输 (有双向数据线)
- 2 线单工同步传输 (无双向数据线)
- 8 位或者 16 位传输帧选择
- 支持多主模式
- 主模式频率 (最大为 $f_{PCLK}/2$)
- 从模式频率 (最大为 $f_{PCLK}/2$)
- 主模式和从模式下均可以由软件或硬件进行 NSS 管理: 主/从操作模式的动态改变

- 可编程的时钟极性和相位
- 可编程的数据顺序, MSB 在前或 LSB 在前
- 可触发中断的专用发送和接收标志
- SPI 总线忙状态标志
- Motorola 模式
- 支持 TI 模式
- 可引起中断的主模式故障、过载
- 2 个具备 DMA 能力的 32 位 Rx 和 Tx FIFOs

内部集成音频 (I²S)

- 3 个采样率 8 ~ 192 kHz 的 I²S 总线接口
- 支持主机模式和从机模式, 全双工和单工通信模式

I²S 总线通过 3 线串行线路为数字音频应用提供标准通信接口。包含 3 个 I²S 总线接口, 可在主或从模式下以 16/32 位分辨率操作, 引脚与 SPI1/SPI2/SPI3 多路复用。支持 8 ~ 192 kHz 的音频采样频率, 精度误差小于 0.5%。所有 I²S 接口都可以使用 DMA 控制器。

2.29. 外部串行存储控制器 (ESMC)

ESMC (External serial memory controller) 是一种专用通信接口, 有以下模式可供选择:

表 2-4 ESMC 能支持的存储器类型

器件类型	接口协议模式		数据方向
NOR Flash	1 线	SDR	接收
			发送
	2 线	SDR	接收
			发送
	4 线	SDR	接收
			发送
	双 4 线	SDR	接收
			发送
	8 线	SDR	接收
			发送
		DDR	接收
			发送
PSRAM	1 线	SDR	接收
	1 线		发送
	4 线	SDR	接收
			发送

	双 4 线	SDR	接收 发送
--	-------	-----	----------

它可以在以下两种模式中的任何一种模式下运行：

- 间接模式：所有操作均使用 ESMC 寄存器执行
- 内存映射模式：外部闪存映射到设备地址空间，系统将其视为内部存储器

使用双存储器模式，即同时访问 Dual-quad SPI 存储器，可以实现类似 Octal SPI 存储器一样提高两倍的吞吐量和存储容量。

- 两种功能模式：间接和内存映射
- 内存映射模式支持读写功能
- 支持 8 位/16 位命令模式
- 可同时发送/接收 8 位
- 双闪存模式，通过并行访问两个闪存，可同时发送/接收 8 位
- Octal SPI
- SDR 和 DDR 支持
- 用于间接和内存映射模式的完全可编程操作码
- 间接和内存映射模式的完全可编程帧格式
- 用于接收和传输的集成 FIFO
- 允许 8 位、16 位和 32 位数据访问（间接模式仅支持 32 位读）
- 用于间接模式操作的 DMA 信道
- FIFO 操作完成上的中断生成

2.30. LCD 控制器 (LCDC)

- 支持驱动 8080/6800 协议的 LCD
- 具有高灵活性，参数可软件控制，兼容常见的 LCD 驱动芯片
- 操作简单，通过写入不同的寄存器向 LCD 发送数据或指令，读取寄存器即可读取 LCD 的数据

2.31. USB-OTG 全速模块 (USB-OTG)

PY32E407 设备拥有 2 个内置 PHY 的 USB-OTG 全速模块。符合 USB 2.0 规范和 OTG 1.3 规范。它具有软件可配置的端点设置，并支持挂起/唤醒。USB OTG 全速控制器需要一个专用的 48 MHz 时钟，该时钟由 HSI48 产生。该模块的主要特点是：

- 由端点独占使用的 1.25 KB SRAM（不与其他外设共享）
- 4 个双向端点
- 内置的 HNP/SNP/ID（不需要其他外部电阻）
- 对于 OTG 主机模式，当一个需要供电的外设连接时，需要一个电源开关
- SOF 输出在 ISO 模式下可以被用来同步外部音频 DAC 时钟
- 根据 USB 2.0 规范，支持的传输速度为：

- 主机模式下：全速（PHY 不支持低速）
- 设备模式下：全速

2.32. 控制器局域网（CAN）

PY32E407 包含 1 个 CAN2.0，一个 CANFD 通信接口模块。

CAN (Controller Area Network) 总线是一种可以在无主机情况下实现微处理器或者设备之间相互通信的总线标准。CAN FD 控制器遵循 CAN 总线 CAN2.0 (CAN2.0A、CAN2.0B) 和 CAN FD 协议。

CAN 总线控制器可以处理总线上的数据收发，在本产品中，CAN FD 控制器具有 12 组筛选器。筛选器用于为应用程序选择要接收的消息。

CAN FD 控制器中应用程序可通过 1 个高优先级的主发送缓冲器 (Primary Transmit Buffer, 以下简称 PTB) 和 3 个辅发送缓冲器 (Secondary Transmit Buffer, 以下简称 STB) 将发送数据送至总线，由发送调度器决定邮箱发送顺序。通过 6 个接收缓冲器 (Receive Buffer, 以下简称 RB) 获取总线数据。3 个 STB 以及 6 个 RB 可以理解为一个 3 级 FIFO 和一个 6 级 FIFO，FIFO 完全由硬件控制。

CAN FD 总线控制器同时也可支持时间触发 CAN 通信 (Time-trigger communication)。

- 完全支持 CAN2.0A/ CAN2.0B/ CANFD 协议
- CAN2.0 支持最高通信波特率 1 Mbit/s
- 支持 1 ~ 1/32 的波特率预分频，灵活配置波特率
- 6 个接收缓冲器
 - FIFO 方式
 - 错误或者不被接收的数据不会覆盖存储的消息
- 1 个高优先主发送缓冲器 PTB
- 3 个副发送缓冲器 STB
 - FIFO 方式
 - 优先级仲裁方式
- 16 组独立的筛选器
 - 支持 11 位标准 ID 和 29 位扩展 ID
 - 可编程 ID CODE 位以及 MASK 位
- PTB/STB 均支持单次发送模式
- 支持静默模式
- 支持回环模式
- 支持捕捉传输的错误种类以及定位仲裁失败位置
- 可编程的错误警告值
- 支持 ISO11898-4 规定时间触发 CAN 以及接收时间戳

2.33. 以太网控制器 (Ethernet MAC)

PY32E407 的以太网模块支持通过以太网收发数据，符合 IEEE 802.3-2002 标准。

PY32E407 以太网模块灵活可调，使之能适应各种不同的客户需求。该模块支持两种标准接口，连接到外接的物理层 (PHY) 模块：IEEE 802.3 协议定义的独立于介质的接口 (MII) 和简化的独立于介质的接口 (RMII)。适用于各类应用，如交换机、网络接口卡等。

以太网模块符合以下标准：

- IEEE 802.3-2002 标准的以太网 MAC 协议
- IEEE 1588-2002 的网路精确时钟同步标准
- AMBA2.0 标准的 AHB 主/从端口
- RMII 协会定义的 RMII 标准

2.34. 加密模块 (AES)

AES 使用完全符合 FIPS 标准中定义的高级加密算法，对数据进行加密或解密。

- 明文大小：128 位
- 密钥大小：128、192 和 256 位
- 加密/解密模式：CBC、CFB、OFB、CTR/ICM、XTS
- 认证模式：CBC-MAC、CMAC
- 加解密和认证模式：GCM、CCM

2.35. 随机数生成模块 (RNG)

该 RNG 提供由集成模拟电路生成的 32 位随机数。

2.36. 调试接口 (SWD)

ARM SWD 接口允许串口调试工具连接到 PY32E407。

3. 引脚配置

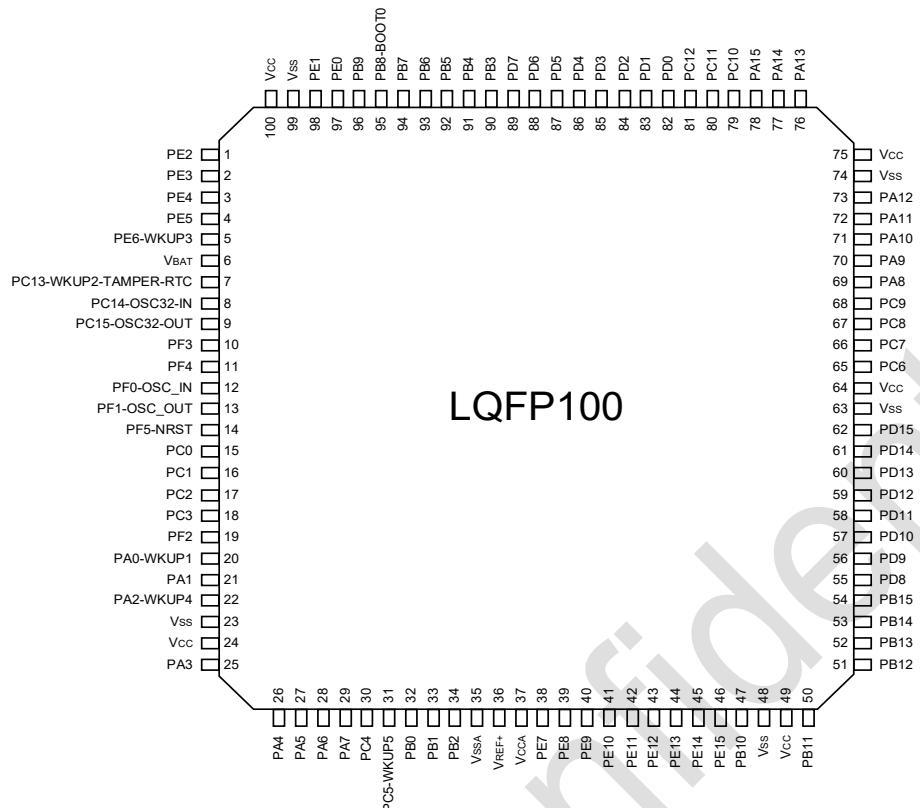


图 3-1 LQFP100 Pinout1 PY32E407V1ET7 (Top view)

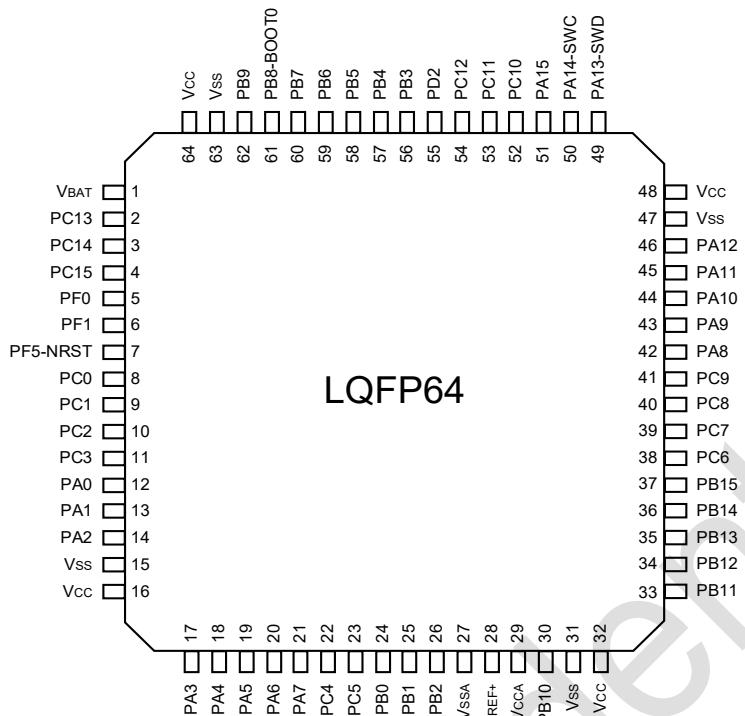


图 3-2 LQFP64 Pinout1 PY32E407R1ET7 (Top view)

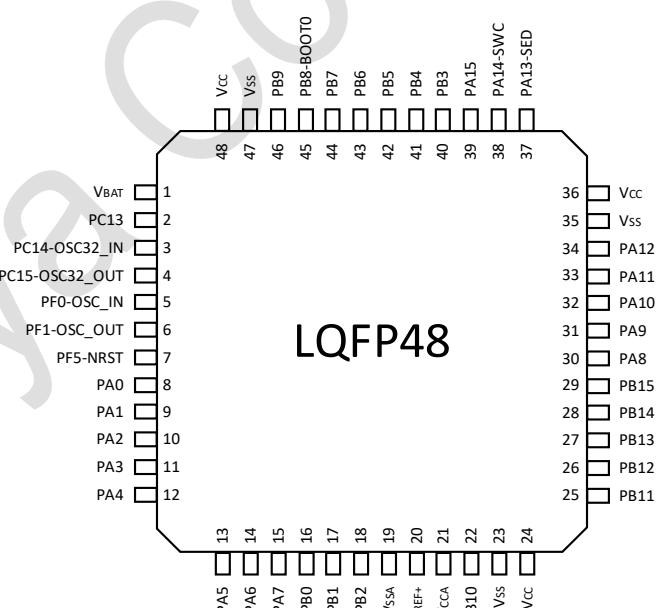


图 3-3 LQFP48 Pinout1 PY32E407C1ET7 (Top view)

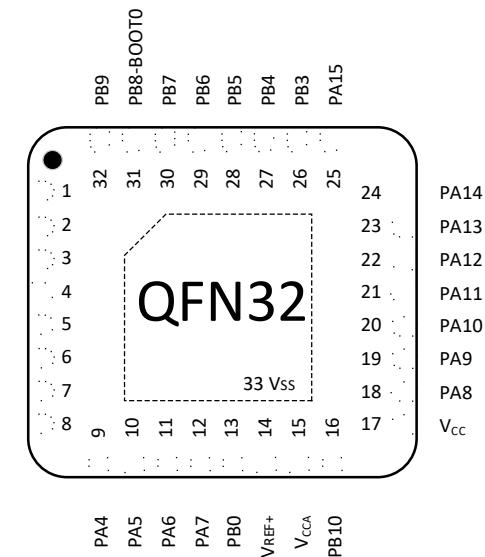


图 3-4 QFN32 Pinout1 PY32E407K1EU7 (Top view)

表 3-1 引脚定义的术语和符号

类型	符号	定义	
端口类型	S	Supply 引脚	
	G	Ground 引脚	
	NRST	复位引脚, 低电平有效	
	I/O	Input / output 引脚	
	NC	无定义	
端口结构	FT	5 V 兼容端口	
	FT_a	带有模拟开关 (Analog switch) 的 5 V 兼容端口	
	FT_f	支持 FM+模式的 5 V 兼容端口	
	FT_fa	支持 FM+模式且带有模拟开关的 5 V 兼容端口	
	FT_u	带有 USB 功能的 5 V 兼容端口	
	FT_ua	带有 USB 功能和模拟开关的 5 V 兼容端口	
	TT_a	带有模拟开关的 3.3 V 兼容端口	
	TT_fa	支持 FM+模式且带有模拟开关的 3.3 V 兼容端口	
	NRST	复位端口, 带内部弱上拉电阻	
端口功能	复用功能	-	通过 GPIOx_AFR 寄存器选择的功能
	附加功能	-	通过外设寄存器或选项字节直接选择或使能的功能

表 3-2 引脚定义

封装类型				端口名	端口类型	端口结构	端口功能 ⁽¹⁾	
QFN32 K1	LQFP48 C1	LQFP64 R1	LQFP100 V1				复用功能	附加功能
-	-	-	1	PE2	I/O	FT	TRACECK TIM3_CH1 FDCAN2_RX EVENTOUT	-
-	-	-	2	PE3	I/O	FT	TRACED0 TIM3_CH2 TIM10_CH1 FDCAN2_TX EVENTOUT	-
-	-	-	3	PE4	I/O	FT	TRACED1 TIM3_CH3 TIM9_CH1 LCD_C_S2 EVENTOUT	-
-	-	-	4	PE5	I/O	FT	TRACED2 TIM3_CH4 TIM9_CH2 LCD_C_S3 EVENTOUT	-
-	-	-	5	PE6	I/O	FT	TRACED3 TIM18_CH4 EVENTOUT	WAKEUP3
-	1	1	6	V _{BAT}	S	-	-	-
-	2	2	7	PC13 ⁽²⁾⁽³⁾	I/O	FT	TIM1_BKIN TIM1_CH1N TIM8_CH4N	WAKEUP2 TAMPER

封装类型				端口名	端口类型	端口结构	端口功能 ⁽¹⁾	
QFN32 K1	LQFP48 C1	LQFP4 R1	LQFP100 V1				复用功能	附加功能
							EVENTOUT	
-	3	3	8	PC14-OSC32_IN ⁽²⁾⁽³⁾	I/O	FT	EVENTOUT	OSC32_IN
-	4	4	9	PC15-OSC32_OUT ⁽²⁾⁽³⁾	I/O	FT	EVENTOUT	OSC32_OUT
-	-	-	10	PF3	I/O	FT	TIM15_CH1 SPI2_SCK/I2S2_CK TIM5_CH4 TIM12_CH2 ESMC_BK1_IO1 EVENTOUT	-
-	-	-	11	PF4	I/O	FT	TIM15_CH2 SPI2_SCK/I2S2_CK ESMC_CLK LCD_C_RS EVENTOUT	-
2	5	5	12	PF0-OSC_IN	I/O	TT_fa	I2C2_SDA SPI2_NSS/I2S2_WS TIM1_CH3N EVENTOUT	ADC1_CH10 OSC_IN
3	6	6	13	PF1-OSC_OUT	I/O	TT_a	SPI2_SCK/I2S2_CK EVENTOUT	ADC2_CH10 COMP3_IN OSC_OUT
4	7	7	14	PF5-NRST	NRST	NRST(FT)	MCO EVENTOUT	NRST
-	-	8	15	PC0	I/O	FT_ua	LPTIM1_IN1 TIM1_CH1 LPUART1_RX ESMC_DQS EVENTOUT	ADC1_CH11/ADC2_CH15 COMP3_INM USB2_OTG_FS_DM

封装类型				端口名	端口类型	端口结构	端口功能 ⁽¹⁾	
QFN32 K1	LQFP48 C1	LQFP64 R1	LQFP100 V1				复用功能	附加功能
-	-	9	16	PC1	I/O	FT_ua	LPTIM1_OUT TIM1_CH2 LPUART1_TX ESMC_BK2_IO0 ETH_MDC EVENTOUT	ADC1_CH7/ ADC2_CH7 COMP3_INP USB2_OTG_FS_DP
-	-	10	17	PC2	I/O	FT_a	LPTIM1_IN2 TIM1_CH3 COMP3_OUT ESMC_BK2_IO1 ETH_MII_TXD2 EVENTOUT	ADC1_CH8/ADC2_CH8 USB2_OTG_FS_ID
-	-	11	18	PC3	I/O	FT_fa	LPTIM1_ETR TIM1_CH4 I2C2_SCL TIM1_BKIN2 ESMC_BK2_IO2 ETH_MII_TX_CLK EVENTOUT	ADC1_CH9/ADC2_CH9 USB2_VBUS
-	-	-	19	PF2	I/O	FT	I2C2_SMBA EVENTOUT	
5	8	12	20	PA0	I/O	TT_a	TIM2_CH1 TIM5_CH1 TIM9_CH1 USART2_CTS COMP1_OUT TIM8_BKIN	ADC1_CH1/ADC2_CH1 COMP1_INM/COMP3_INP WAKEUP1

封装类型				端口名	端口类型	端口结构	端口功能 ⁽¹⁾	
QFN32 K1	LQFP48 C1	LQFP64 R1	LQFP100 V1				复用功能	附加功能
							TIM8_ETR TIM19_CH1 TIM11_CH1 ETH_MII CRS TIM2_ETR EVENTOUT	
6	9	13	21	PA1	I/O	TT_a	TIM2_CH2 TIM5_CH2 TIM9_CH2 USART2_RTS_DE TIM15_CH1N ETH_MII_RX_CLK/ETH_RMII_REF_CLK UART3_RX EVENTOUT	ADC1_CH2/ADC2_CH2 COMP1_INP OPAMP1_VINP/OPAMP3_VINP
7	10	14	22	PA2	I/O	TT_a	TIM2_CH3 TIM5_CH3 TIM12_CH1 TIM18_CH3 USART2_TX COMP2_OUT TIM15_CH1 ESMC_CS0_NCS LPUART1_TX ETH_MDIO UART3_TX EVENTOUT	ADC1_CH3 COMP2_INM OPAMP1_VOUT WAKEUP4
-	-	15	23	V _{ss}	G	-	-	-
1	-	16	24	V _{cc}	S	-	-	-

封装类型				端口名	端口类型	端口结构	端口功能 ⁽¹⁾	
QFN32 K1	LQFP48 C1	LQFP4 R1	LQFP100 V1				复用功能	附加功能
8	11	17	25	PA3	I/O	TT_a	TIM2_CH4 TIM5_CH4 TIM12_CH2 TIM18_CH4 USART2_RX TIM15_CH2 ESMC_CLK LPUART1_RX ETH_MII_COL EVENTOUT	ADC1_CH4 COMP2_INP OPAMP1_VINM/OPAMP1_VINP
9	12	18	26	PA4	I/O	TT_a	TIM3_CH2 TIM10_CH1 SPI1 NSS/I2S1_WS SPI3 NSS/I2S3_WS USART2_CK ESMC_DQS EVENTOUT	ADC2_CH16 DAC1_OUT COMP1_INM
10	13	19	27	PA5	I/O	TT_a	TIM2_CH1 TIM2_ETR TIM11_CH1 TIM19_CH1 SPI1_SCK/I2S1_CK ESMC_CS2_NCS EVENTOUT	ADC2_CH13 DAC2_OUT COMP2_INM OPAMP2_VINM
11	14	20	28	PA6	I/O	TT_a	TIM16_CH1 TIM3_CH1 TIM13_CH1 TIM8_BKIN	ADC2_CH3 OPAMP2_VOUT

封装类型				端口名	端口类型	端口结构	端口功能 ⁽¹⁾	
QFN32 K1	LQFP48 C1	LQFP64 R1	LQFP100 V1				复用功能	附加功能
							SPI1_MISO TIM1_BKIN COMP1_OUT ESMC_BK1_IO3 LPUART1_CTS EVENTOUT	
12	15	21	29	PA7	I/O	TT_a	TIM17_CH1 TIM3_CH2 TIM10_CH1 TIM8_CH1N SPI1_MOSI/I2S1_SD TIM1_CH1N COMP2_OUT ESMC_BK1_IO2 ETH_MII_RX_DV/ETH_RMII CRS_DV EVENTOUT	ADC2_CH4 COMP2_INP OPAMP1_VINP/OPAMP2_VINP
-	-	22	30	PC4	I/O	TT_a	TIM1_ETR USART1_TX ESMC_BK2_IO3 ETH_MII_RXD0/ETH_RMII_RXD0 EVENTOUT	ADC2_CH5
-	-	23	31	PC5	I/O	TT_a	TIM15_BKIN TIM1_CH4N USART1_RX ESMC_CS1_NCS ETH_MII_RXD1/ETH_RMII_RXD1 EVENTOUT	ADC2_CH11 OPAMP1_VINM/OPAMP2_VINM WAKEUP5
13	16	24	32	PB0	I/O	TT_a	TIM3_CH3	ADC3_CH12/ADC1_CH14

封装类型				端口名	端口类型	端口结构	端口功能 ⁽¹⁾	
QFN32 K1	LQFP48 C1	LQFP64 R1	LQFP100 V1				复用功能	附加功能
							TIM18_ETR TIM8_CH2N TIM1_CH2N ESMC_BK1_IO1 ETH_MII_RXD2 EVENTOUT	COMP4_INP OPAMP2_VINP/OPAMP3_VINP
-	17	25	33	PB1	I/O	TT_a	TIM3_CH4 TIM9_CH1 TIM8_CH3N TIM1_CH3N COMP4_OUT ESMC_BK1_IO0 LPUART1_RTS_DE ETH_MII_RXD3 EVENTOUT	ADC3_CH1/ADC1_CH12 COMP1_INP OPAMP3_VOUT
-	18	26	34	PB2	I/O	TT_a	LPTIM1_OUT TIM5_CH1 TIM18_CH1 I2C3_SMBA ESMC_BK2_IO1 EVENTOUT	ADC2_CH12 COMP4_INM OPAMP3_VINM
-	19	27	35	V _{SSA}	S	-	-	-
14	20	28	36	V _{REF+} ⁽⁴⁾	S	-	-	VREFBUF_OUT
15	21	29	37	V _{CCA}	S	-	-	-
-	-	-	38	PE7	I/O	TT_a	TIM1_ETR TIM18_CH3 LCD_C4 EVENTOUT	ADC3_CH4 COMP4_INP

封装类型				端口名	端口类型	端口结构	端口功能 ⁽¹⁾	
QFN32 K1	LQFP48 C1	LQFP64 R1	LQFP100 V1				复用功能	附加功能
-	-	-	39	PE8	I/O	TT_a	TIM5_CH3 TIM1_CH1N TIM12_CH1 LCDC_D5 EVENTOUT	ADC3_CH6 COMP4_INM
-	-	-	40	PE9	I/O	TT_a	TIM5_CH4 TIM1_CH1 TIM12_CH2 ESMC_BK1_IO3 LCDC_D6 EVENTOUT	ADC3_CH2
-	-	-	41	PE10	I/O	FT_a	TIM1_CH2N TIM18_CH4 ESMC_CLK LCDC_D7 EVENTOUT	ADC3_CH13
-	-	-	42	PE11	I/O	FT_a	TIM1_CH2 ESMC_CS0_NCS LCDC_D8 EVENTOUT	ADC3_CH14
-	-	-	43	PE12	I/O	FT_a	TIM1_CH3N ESMC_BK1_IO0 LCDC_D9 EVENTOUT	ADC3_CH15
-	-	-	44	PE13	I/O	TT_a	TIM1_CH3 ESMC_BK1_IO1 LCDC_D10 EVENTOUT	ADC3_CH3

封装类型				端口名	端口类型	端口结构	端口功能 ⁽¹⁾	
QFN32 K1	LQFP48 C1	LQFP48 R1	LQFP100 V1				复用功能	附加功能
-	-	-	45	PE14	I/O	FT	TIM1_CH4 TIM1_BKIN2 ESMC_BK1_IO2 LCD_C_D11 EVENTOUT	-
-	-	-	46	PE15	I/O	FT	TIM1_BKIN TIM1_CH4N USART3_RX ESMC_BK1_IO0 ESMC_BK1_IO3 LCD_C_D12 EVENTOUT	-
16	22	30	47	PB10	I/O	TT_a	TIM2_CH3 USART3_TX LPUART1_RX ESMC_CLK TIM1_BKIN ETH_MII_RX_ER EVENTOUT	OPAMP3_VINM
-	23	31	48	V _{ss}	G	-	-	-
17	24	32	49	V _{cc}	S	-	-	-
-	25	33	50	PB11	I/O	FT_a	TIM2_CH4 USART3_RX LPUART1_TX ESMC_CS0_NCS ETH_MII_TX_EN/ETH_RMII_TX_EN EVENTOUT	ADC1_CH13/ADC2_CH14
	26	34	51	PB12	I/O	TT_a	TIM5_ETR	ADC1_CH6

封装类型				端口名	端口类型	端口结构	端口功能 ⁽¹⁾	
QFN32 K1	LQFP48 C1	LQFP64 R1	LQFP100 V1				复用功能	附加功能
							I2C2_SMBA SPI2_NSS/I2S2_WS TIM1_BKIN USART3_CK LPUART1_RTS_DE FDCAN2_RX ETH_MII_TXD0/ETH_RMII_TXD0 EVENTOUT	OPAMP2_VINP
-	27	35	52	PB13	I/O	TT_a	SPI2_SCK/I2S2_CK TIM1_CH1N USART3_CTS LPUART1_CTS FDCAN2_TX ETH_MII_TXD1/ETH_RMII_TXD1 EVENTOUT	ADC3_CH5 OPAMP3_VINP
-	28	36	53	PB14	I/O	TT_a	TIM15_CH1 SPI2_MISO TIM1_CH2N USART3_RTS_DE COMP4_OUT EVENTOUT	ADC1_CH5
-	29	37	54	PB15	I/O	TT_a	TIM15_CH2 TIM15_CH1N COMP3_OUT TIM1_CH3N SPI2_MOSI/I2S2_SD EVENTOUT	ADC2_CH6
-	-	-	55	PD8	I/O	FT	USART3_TX	-

封装类型				端口名	端口类型	端口结构	端口功能 ⁽¹⁾	
QFN32 K1	LQFP48 C1	LQFP64 R1	LQFP100 V1				复用功能	附加功能
							LCDC_D13 ETH_RMII_CRS_DV EVENTOUT	
-	-	-	56	PD9	I/O	FT	USART3_RX LCDC_D14 ETH_MII_RXD0/ETH_RMII_RXD0 EVENTOUT	-
-	-	-	57	PD10	I/O	FT_a	USART3_CK LCDC_D15 ETH_MII_RXD1/ETH_RMII_RXD1 EVENTOUT	ADC3_CH7
-	-	-	58	PD11	I/O	FT_a	TIM5_ETR I2C4_SMBA USART3_CTS LCDC_D16 ETH_MII_RXD2 EVENTOUT	ADC3_CH8
-	-	-	59	PD12	I/O	FT_a	TIM4_CH1 USART3_RTS_DE LCDC_D17 ETH_MII_RXD3 EVENTOUT	ADC3_CH9
-	-	-	60	PD13	I/O	FT_a	TIM4_CH2 TIM18_CH2 EVENTOUT	ADC3_CH10
-	-	-	61	PD14	I/O	TT_a	TIM4_CH3 LCDC_D0 EVENTOUT	ADC3_CH11 OPAMP2_VINP

封装类型				端口名	端口类型	端口结构	端口功能 ⁽¹⁾	
QFN32 K1	LQFP48 C1	LQFP48 R1	LQFP100 V1				复用功能	附加功能
-	-	-	62	PD15	I/O	FT	TIM4_CH4 SPI2_NSS/I2S2_WS LCD_C_D1 EVENTOUT	-
-	-	-	63	V _{ss}	G	-	-	-
-	-	-	64	V _{cc}	S	-	-	-
-	-	38	65	PC6	I/O	FT_f	TIM3_CH1 TIM13_CH1 TIM8_CH1 I2S2_MCK I2C4_SCL ESMC_CS3_NCS SDIO_D6 EVENTOUT	-
-	-	39	66	PC7	I/O	FT_f	TIM3_CH2 TIM10_CH1 TIM8_CH2 I2S3_MCK I2C4_SDA SDIO_D7 EVENTOUT	-
-	-	40	67	PC8	I/O	FT_f	TIM3_CH3 TIM18_CH1 TIM8_CH3 I2C3_SCL SDIO_D0 EVENTOUT	-
-	-	41	68	PC9	I/O	FT_f	TIM3_CH4	-

封装类型				端口名	端口类型	端口结构	端口功能 ⁽¹⁾	
QFN32 K1	LQFP48 C1	LQFP64 R1	LQFP100 V1				复用功能	附加功能
							TIM8_CH4 TIM8_BKIN2 I2C3_SDA SDIO_D1 LCDC_CS3 EVENTOUT	
18	30	42	69	PA8	I/O	FT_f	MCO TIM14_CH1 I2C3_SCL TIM18_CH1 I2C2_SDA I2S2_MCK TIM1_CH1 USART1_CK TIM4_ETR EVENTOUT	USB1_OTG_FS_SOF
19	31	43	70	PA9	I/O	FT_fa	I2C3_SMBA TIM18_ETR I2C2_SCL I2S3_MCK TIM1_CH2 USART1_TX TIM15_BKIN TIM2_CH3 LCDC_CS1 EVENTOUT	USB1_VBUS
20	32	44	71	PA10	I/O	FT	TIM17_BKIN CTC_SYNC	USB1_OTG_FS_ID

封装类型				端口名	端口类型	端口结构	端口功能 ⁽¹⁾	
QFN32 K1	LQFP48 C1	LQFP64 R1	LQFP100 V1				复用功能	附加功能
							I2C2_SMBA SPI2_MISO TIM1_CH3 USART1_RX TIM2_CH4 TIM8_BKIN LCD_C_S2 EVENTOUT	
21	33	45	72	PA11	I/O	FT_u	SPI2_MOSI/I2S2_SD TIM1_CH1N USART1_CTS COMP1_OUT FDCAN1_RX TIM4_CH1 TIM1_CH4 TIM1_BKIN2 EVENTOUT	USB1_OTG_FS_DM
22	34	46	73	PA12	I/O	FT_u	TIM16_CH1 TIM8_CH4 TIM1_CH2N USART1_RTS_DE COMP2_OUT FDCAN1_TX TIM4_CH2 TIM1_ETR EVENTOUT	USB1_OTG_FS_DP
-	35	47	74	V _{ss}	G	-	-	-
-	36	48	75	V _{cc}	S	-	-	-

封装类型				端口名	端口类型	端口结构	端口功能 ⁽¹⁾	
QFN32 K1	LQFP48 C1	LQFP64 R1	LQFP100 V1				复用功能	附加功能
23	37	49	76	PA13	I/O	FT_f	SWDIO_JTMS TIM16_CH1N I2C4_SCL I2C1_SCL IR_OUT USART3_CTS TIM4_CH3 LCDC_RS EVENTOUT	-
24	38	50	77	PA14	I/O	FT_f	SWCLK_JTCK LPTIM1_OUT I2C4_SMBA I2C1_SDA TIM8_CH2 TIM1_BKIN USART2_TX TIM18_CH2 LCDC_8RD_6RW EVENTOUT	-
25	39	51	78	PA15	I/O	FT_f	JTDI TIM2_CH1 TIM8_CH1 TIM18_ETR I2C1_SCL SPI1_NSS/I2S1_WS SPI3_NSS/I2S3_WS USART2_RX TIM1_BKIN	-

封装类型				端口名	端口类型	端口结构	端口功能 ⁽¹⁾	
QFN32 K1	LQFP48 C1	LQFP64 R1	LQFP100 V1				复用功能	附加功能
							LCDC_8WR_6E TIM11_CH1 TIM19_CH1 TIM2_ETR EVENTOUT	
-	-	52	79	PC10	I/O	FT	TIM8_CH1N UART1_TX SPI3_SCK/I2S3_CK USART3_TX ESMC_CS4_NCS SDIO_D2 LCDC_CS0 EVENTOUT	-
-	-	53	80	PC11	I/O	FT_f	TIM8_CH2N UART1_RX SPI3_MISO USART3_RX I2C3_SDA SDIO_D3 LCDC_D0 EVENTOUT	-
-	-	54	81	PC12	I/O	FT	TIM5_CH2 TIM9_CH2 TIM18_CH2 TIM8_CH3N UART2_TX SPI3_MOSI/I2S3_SD USART3_CK	-

封装类型				端口名	端口类型	端口结构	端口功能 ⁽¹⁾	
QFN32 K1	LQFP48 C1	LQFP64 R1	LQFP100 V1				复用功能	附加功能
							SDIO_CK EVENTOUT	
-	-	-	82	PD0	I/O	FT	TIM8_CH4N FDCAN1_RX LCD_C_D2 EVENTOUT	-
-	-	-	83	PD1	I/O	FT	TIM8_CH4 TIM8_BKIN2 FDCAN1_TX LCD_C_D3 EVENTOUT	-
-	-	55	84	PD2	I/O	FT	TIM3_ETR TIM8_BKIN UART2_RX ESMC_CS5_NCS SDIO_CMD EVENTOUT	-
-	-	-	85	PD3	I/O	FT	TIM2_CH1/TIM2_ETR USART2_CTS ESMC_CS1_NCS EVENTOUT	-
-	-	-	86	PD4	I/O	FT	TIM2_CH2 USART2_RTS_DE ESMC_BK2_IO0 LCD_C_8RD_6RW EVENTOUT	-
-	-	-	87	PD5	I/O	FT	USART2_TX ESMC_BK2_IO1	-

封装类型				端口名	端口类型	端口结构	端口功能 ⁽¹⁾	
QFN32 K1	LQFP48 C1	LQFP64 R1	LQFP100 V1				复用功能	附加功能
							LCDC_8WR_6E EVENTOUT	
-	-	-	88	PD6	I/O	FT	TIM2_CH4 USART2_RX ESMC_BK2_IO2 LCDC_CS1 EVENTOUT	
-	-	-	89	PD7	I/O	FT	TIM2_CH3 USART2_CK ESMC_BK2_IO3 LCDC_CS0 EVENTOUT	
26	40	56	90	PB3	I/O	FT	JTDO_TRACESWO TIM2_CH2 TIM4_ETR TIM18_CH3 TIM8_CH1N SPI1_SCK/I2S1_CK SPI3_SCK/I2S3_CK USART2_TX CTC_SYNC TIM3_ETR LCDC_D1 EVENTOUT	
27	41	57	91	PB4	I/O	FT	JTRST TIM16_CH1 TIM3_CH1 TIM13_CH1	

封装类型				端口名	端口类型	端口结构	端口功能 ⁽¹⁾	
QFN32 K1	LQFP48 C1	LQFP64 R1	LQFP100 V1				复用功能	附加功能
							TIM8_CH2N SPI1_MISO SPI3_MISO USART2_RX TIM17_BKIN LCD_C_D2 EVENTOUT	
28	42	58	92	PB5	I/O	FT_f	TIM16_BKIN TIM3_CH2 TIM8_CH3N I2C1_SMBA SPI1_MOSI/I2S1_SD SPI3_MOSI/I2S3_SD USART2_CK I2C3_SDA FDCAN2_RX TIM17_CH1 LPTIM1_IN1 LCD_C_D3 ETH_PPS_OUT USB2_OTG_FS_SOF EVENTOUT	-
29	43	59	93	PB6	I/O	FT	TIM16_CH1N TIM4_CH1 TIM10_CH1 TIM8_CH1 TIM8_ETR USART1_TX	-

封装类型				端口名	端口类型	端口结构	端口功能 ⁽¹⁾	
QFN32 K1	LQFP48 C1	LQFP64 R1	LQFP100 V1				复用功能	附加功能
							COMP4_OUT FDCAN2_TX TIM8_BKIN2 LPTIM1_ETR LCDC_D4 EVENTOUT	
30	44	60	94	PB7	I/O	FT_f	TIM17_CH1N TIM4_CH2 I2C4_SDA I2C1_SDA TIM8_BKIN USART1_RX COMP3_OUT TIM3_CH4 LPTIM1_IN2 LCDC_D5 EVENTOUT	PVD_IN
31	45	61	95	PB8-BOOT0	I/O	FT_f	TIM16_CH1 TIM4_CH3 I2C1_SCL LCDC_D6 USART3_RX COMP1_OUT FDCAN1_RX TIM8_CH2 SDIO_D4 TIM1_BKIN ETH_MII_TXD3	-

封装类型				端口名	端口类型	端口结构	端口功能 ⁽¹⁾	
QFN32 K1	LQFP48 C1	LQFP64 R1	LQFP100 V1				复用功能	附加功能
							EVENTOUT	
32	46	62	96	PB9	I/O	FT_f	TIM17_CH1 TIM4_CH4 TIM14_CH1 I2C1_SDA IR_OUT USART3_TX COMP2_OUT FDCAN1_TX TIM8_CH3 SDIO_D5 TIM1_CH3N LCD_C_D7 EVENTOUT	
-	-	-	97	PE0	I/O	FT	TIM4_ETR TIM16_CH1 USART1_TX FDCAN1_RX EVENTOUT	
-	-	-	98	PE1	I/O	FT	TIM14_CH1 TIM17_CH1 USART1_RX FDCAN1_TX EVENTOUT	
-	47	63	99	V _{ss}	G	-	-	
-	48	64	100	V _{cc}	S	-	-	

1. 可用功能取决于所选器件。如果多个外设共享相同的 I/O 引脚, 为避免这些备用功能之间的冲突, 一次只能通过外设时钟启用位 (在相应的 RCC 外设时钟启用寄存器中) 启用一个外设。
2. PC13、PC14、PC15 通过电源开关供电。由于该开关的拉电流能力有限(3 mA), 因此在输出模式下使用 GPIO PC13 到 PC15 时存在以下限制:
 - 1) 速率不得超过 2 MHz, 最大负载为 30 pF。
 - 2) 这些 I/O 不能用作电流源 (如用于驱动 LED) 。
3. 第一次备份域上电后的主要功能。在这之后, 取决于备份寄存器的内容, 即使在复位之后也是如此 (因为这些寄存器不受主区域复位控制) 。
4. 使用 V_{REFBUF} 功能时, V_{REF+} 需外接 1 μ F 电容。

3.1. 端口 A 复用功能映射

表 3-3 端口 A 复用功能映射

PortA	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PA0	-	TIM2_CH1	TIM5_CH1	TIM9_CH1	-	-	-	USART2_CTS	COMP1_OUT	TIM8_BKIN	TIM8_ETR	TIM19_CH1	TIM11_CH1	ETH_MII_CRS	TIM2_ETR	EVENTOUT
PA1	-	TIM2_CH2	TIM5_CH2	TIM9_CH2	-	-	-	USART2_RTS_DE	-	TIM15_CH1N	-	-	-	ETH_MII_RX_CLK/ETH_RMII_REF_CLK	UART3_RX	EVENTOUT
PA2	-	TIM2_CH3	TIM5_CH3	TIM12_CH1	TIM18_CH3	-	-	USART2_TX	COMP2_OUT	TIM15_CH1	ESMC_CS0_NCS	-	LPUART1_TX	ETH_MDIO	UART3_TX	EVENTOUT
PA3	-	TIM2_CH4	TIM5_CH4	TIM12_CH2	TIM18_CH4	-	-	USART2_RX	-	TIM15_CH2	ESMC_CLK	-	LPUART1_RX	ETH_MII_COL	-	EVENTOUT
PA4	-	-	TIM3_CH2	TIM10_CH1	-	SPI1_NSS/I2S1_WS	SPI3_NSS/I2S3_WS	USART2_CK	-	-	ESMC_DQS	-	-	-	-	EVENTOUT
PA5	-	TIM2_CH1	TIM2_ETR	TIM11_CH1	TIM19_CH1	SPI1_SCK/I2S1_CK	-	-	-	-	ESMC_CS2_NCS	-	-	-	-	EVENTOUT
PA6	-	TIM16_CH1	TIM3_CH1	TIM13_CH1	TIM8_BKIN	SPI1_MISO	TIM1_BKIN	-	COMP1_OUT	-	ESMC_BK1_IO3	-	LPUART1_CTS	-	-	EVENTOUT
PA7	-	TIM17_CH1	TIM3_CH2	TIM10_CH1	TIM8_CH1N	SPI1_MOSI/I2S1_SD	TIM1_CH1N	-	COMP2_OUT	-	ESMC_BK1_IO2	-	-	ETH_MII_RX_DV/ETH_RMII_CRS_DV	-	EVENTOUT
PA8	MCO	TIM14_CH1	I2C3_SCL	TIM18_CH1	I2C2_SDA	I2S2_MCK	TIM1_CH1	USART1_CK	-	-	TIM4_ETR	-	-	USB1_OTG_FS_SOF	-	EVENTOUT
PA9	-	-	I2C3_SMBA	TIM18_ETR	I2C2_SCL	I2S3_MCK	TIM1_CH2	USART1_TX	-	TIM15_BKIN	TIM2_CH3	-	-	LCDC_CS1	-	EVENTOUT
PA10	-	TIM17_BKIN	-	CTC_SYNC	I2C2_SMBA	SPI2_MISO	TIM1_CH3	USART1_RX	-	-	TIM2_CH4	TIM8_BKIN	-	LCDC_CS2	USB1_OTG_FS_ID	EVENTOUT
PA11	-	-	-	-	-	SPI2_MOSI/I2S2_SD	TIM1_CH1N	USART1_CTS	COMP1_OUT	FDCAN1_RX	TIM4_CH1	TIM1_CH4	TIM1_BKIN2	-	USB1_OTG_FS_DM	EVENTOUT
PA12	-	TIM16_CH1	-	-	TIM8_CH4	-	TIM1_CH2N	USART1_RTS_DE	COMP2_OUT	FDCAN1_TX	TIM4_CH2	TIM1_ETR	-	-	USB1_OTG_FS_DP	EVENTOUT
PA13	SWDIO_JTMS	TIM16_CH1N	-	I2C4_SCL	I2C1_SCL	IR_OUT	-	USART3_CTS	-	-	TIM4_CH3	LCDC_RS	-	-	-	EVENTOUT
PA14	SWCLK_JTCK	LPTIM1_OUT	-	I2C4_SMBA	I2C1_SDA	TIM8_CH2	TIM1_BKIN	USART2_TX	TIM18_CH2	-	-	LCDC_8RD_6RW	-	-	-	EVENTOUT
PA15	JTDI	TIM2_CH1	TIM8_CH1	TIM18_ETR	I2C1_SCL	SPI1_NSS/I2S1_WS	SPI3_NSS/I2S3_WS	USART2_RX	-	TIM1_BKIN	-	LCDC_8WR_6E	TIM11_CH1	TIM19_CH1	TIM2_ETR	EVENTOUT

3.2. 端口 B 复用功能映射

表 3-4 端口 B 复用功能映射

PortB	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PB0	-	-	TIM3_CH3	TIM18_ETR	TIM8_CH2N	-	TIM1_CH2N	-	-	-	ESMC_BK1_I01	-	-	ETH_MII_RXD2	-	EVENTOUT
PB1	-	-	TIM3_CH4	TIM9_CH1	TIM8_CH3N	-	TIM1_CH3N	-	COMP4_OUT	-	ESMC_BK1_I00	-	LPUART1_RTS_DE	ETH_MII_RXD3	-	EVENTOUT
PB2	-	LPTIM1_OUT	TIM5_CH1	TIM18_CH1	I2C3_SMBA	-	-	-	-	-	ESMC_BK2_I01	-	-	-	-	EVENTOUT
PB3	JTDO_TRACESWO	TIM2_CH2	TIM4_ETR	TIM18_CH3	TIM8_CH1N	SPI1_SCK/I2S1_CK	SPI3_SCK/I2S3_CK	USART2_TX	CTC_SYNC	-	TIM3_ETR	-	LCDC_D1	-	-	EVENTOUT
PB4	JTRST	TIM16_CH1	TIM3_CH1	TIM13_CH1	TIM8_CH2N	SPI1_MISO	SPI3_MISO	USART2_RX	-	-	TIM17_BKIN	-	LCDC_D2	-	-	EVENTOUT
PB5	-	TIM16_BKIN	TIM3_CH2	TIM8_CH3N	I2C1_SMBA	SPI1_MOSI/I2S1_SD	SPI3_MOSI/I2S3_SD	USART2_CK	I2C3_SDA	FDCAN2_RX	TIM17_CH1	LPTIM1_IN1	LCDC_D3	ETH_PPS_OUT	USB2_OTG_FS_SOF	EVENTOUT
PB6	-	TIM16_CH1N	TIM4_CH1	TIM10_CH1	-	TIM8_CH1	TIM8_ETR	USART1_TX	COMP4_OUT	FDCAN2_TX	TIM8_BKIN2	LPTIM1_ETR	LCDC_D4	-	-	EVENTOUT
PB7	-	TIM17_CH1N	TIM4_CH2	I2C4_SDA	I2C1_SDA	TIM8_BKIN	-	USART1_RX	COMP3_OUT	-	TIM3_CH4	LPTIM1_IN2	LCDC_D5	-	-	EVENTOUT
PB8	-	TIM16_CH1	TIM4_CH3	-	I2C1_SCL	-	LCDC_D6	USART3_RX	COMP1_OUT	FDCAN1_RX	TIM8_CH2	SDIO_D4	TIM1_BKIN	ETH_MII_TXD3	-	EVENTOUT
PB9	-	TIM17_CH1	TIM4_CH4	TIM14_CH1	I2C1_SDA	-	IR_OUT	USART3_TX	COMP2_OUT	FDCAN1_TX	TIM8_CH3	SDIO_D5	TIM1_CH3N	LCDC_D7	-	EVENTOUT
PB10	-	TIM2_CH3	-	-	-	-	-	USART3_RX	LPUART1_RX	-	ESMC_CLK	-	TIM1_BKIN	ETH_MII_RX_ER	-	EVENTOUT
PB11	-	TIM2_CH4	-	-	-	-	-	USART3_RX	LPUART1_TX	-	ESMC_CS0_NCS	-	-	ETH_MII_TX_EN/ETH_RMI	-	EVENTOUT
PB12	-	-	TIM5_ETR	-	I2C2_SMBA	SPI2_NSS/I2S2_WS	TIM1_BKIN	USART3_CK	LPUART1_RTS_DE	FDCAN2_RX	-	-	-	ETH_MII_RXD0/ETH_RMI	-	EVENTOUT
PB13	-	-	-	-	-	SPI2_SCK/I2S2_CK	TIM1_CH1N	USART3_CTS	LPUART1_CTS	FDCAN2_TX	-	-	-	ETH_MII_RXD1/ETH_RMI	-	EVENTOUT
PB14	-	TIM15_CH1	-	-	-	SPI2_MISO	TIM1_CH2N	USART3_RTS_DE	COMP4_OUT	-	-	-	-	-	-	EVENTOUT
PB15	-	TIM15_CH2	TIM15_CH1N	COMP3_OUT	TIM1_CH3N	SPI2_MOSI/I2S2_SD	-	-	-	-	-	-	-	-	-	EVENTOUT

3.3. 端口 C 复用功能映射

表 3-5 端口 C 复用功能映射

PortC	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PC0	-	LPTIM1_IN1	TIM1_CH1	-	-	-	-	-	LPUART1_RX	-	ESMC_DQS	-	-	-	USB2_OTG_FS_DM	EVENTOUT
PC1	-	LPTIM1_OUT	TIM1_CH2	-	-	-	-	-	LPUART1_TX	-	ESMC_BK2_IO0	-	-	ETH_MDC	USB2_OTG_FS_DP	EVENTOUT
PC2	-	LPTIM1_IN2	TIM1_CH3	COMP3_OUT	-	-	-	-	-	-	ESMC_BK2_IO1	-	-	ETH_MII_TXD2	USB2_OTG_FS_ID	EVENTOUT
PC3	-	LPTIM1_ETR	TIM1_CH4	-	I2C2_SCL	-	TIM1_BKIN2	-	-	-	ESMC_BK2_IO2	-	-	ETH_MII_TX_CLK	-	EVENTOUT
PC4	-	-	TIM1_ETR	-	-	-	-	USART1_TX	-	-	ESMC_BK2_IO3	-	-	ETH_MII_RXD0/ETH_RMII_RXD0	-	EVENTOUT
PC5	-	-	TIM15_BKIN	-	-	-	TIM1_CH4N	USART1_RX	-	-	ESMC_CS1_NCS	-	-	ETH_MII_RXD1/ETH_RMII_RXD1	-	EVENTOUT
PC6	-	-	TIM3_CH1	TIM13_CH1	TIM8_CH1	-	I2S2_MCK	-	I2C4_SCL	-	ESMC_CS3_NCS	SDIO_D6	-	-	-	EVENTOUT
PC7	-	-	TIM3_CH2	TIM10_CH1	TIM8_CH2	-	I2S3_MCK	-	I2C4_SDA	-	-	SDIO_D7	-	-	-	EVENTOUT
PC8	-	-	TIM3_CH3	TIM18_CH1	TIM8_CH3	-	-	-	I2C3_SCL	-	-	SDIO_D0	-	-	-	EVENTOUT
PC9	-	-	TIM3_CH4	-	TIM8_CH4	-	TIM8_BKIN2	-	I2C3_SDA	-	-	SDIO_D1	LCDC_CS3	-	-	EVENTOUT
PC10	-	-	-	-	TIM8_CH1N	UART1_TX	SPI3_SCK/I2S3_CK	USART3_TX	-	-	ESMC_CS4_NCS	SDIO_D2	LCDC_CS0	-	-	EVENTOUT
PC11	-	-	-	-	TIM8_CH2N	UART1_RX	SPI3_MISO	USART3_RX	I2C3_SDA	-	-	SDIO_D3	LCDC_D0	-	-	EVENTOUT
PC12	-	TIM5_CH2	TIM9_CH2	TIM18_CH2	TIM8_CH3N	UART2_TX	SPI3_MOSI/I2S3_SD	USART3_CK	-	-	-	SDIO_CK	-	-	-	EVENTOUT
PC13	-	-	TIM1_BKIN	-	TIM1_CH1N	-	TIM8_CH4N	-	-	-	-	-	-	-	-	EVENTOUT
PC14	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENTOUT
PC15	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENTOUT

3.4. 端口 D 复用功能映射

表 3-6 端口 D 复用功能映射

PortD	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PD0	-	-	-	-	-	-	TIM8_CH4N	-	-	FDCAN1_RX	-	-	LCDC_D2	-	-	EVENTOUT
PD1	-	-	-	-	TIM8_CH4	-	TIM8_BKIN2	-	-	FDCAN1_TX	-	-	LCDC_D3	-	-	EVENTOUT
PD2	-	-	TIM3_ETR	-	TIM8_BKIN	UART2_RX	-	-	-	ESMC_CS5_NCS	SDIO_CMD	-	-	-	-	EVENTOUT
PD3	-	-	TIM2_CH1/ TIM2_ETR	-	-	-	-	USART2_CTS	-	-	ESMC_CS1_NCS	-	-	-	-	EVENTOUT
PD4	-	-	TIM2_CH2	-	-	-	-	USART2_RTS_DE	-	-	ESMC_BK2_IO0	-	LCDC_8RD_6RW	-	-	EVENTOUT
PD5	-	-	-	-	-	-	-	USART2_TX	-	-	ESMC_BK2_IO1	-	LCDC_8WR_6E	-	-	EVENTOUT
PD6	-	-	TIM2_CH4	-	-	-	-	USART2_RX	-	-	ESMC_BK2_IO2	-	LCDC_CS1	-	-	EVENTOUT
PD7	-	-	TIM2_CH3	-	-	-	-	USART2_CK	-	-	ESMC_BK2_IO3	-	LCDC_CS0	-	-	EVENTOUT
PD8	-	-	-	-	-	-	-	USART3_TX	-	-	-	-	LCDC_D13	ETH_RMII_CRS_DV	-	EVENTOUT
PD9	-	-	-	-	-	-	-	USART3_RX	-	-	-	-	LCDC_D14	ETH_MII_RXD0/ETH_RMII_RXD0	-	EVENTOUT
PD10	-	-	-	-	-	-	-	USART3_CK	-	-	-	-	LCDC_D15	ETH_MII_RXD1/ETH_RMII_RXD1	-	EVENTOUT
PD11	-	TIM5_ETR	-	-	I2C4_SMBA	-	-	USART3_CTS	-	-	-	-	LCDC_D16	ETH_MII_RXD2	-	EVENTOUT
PD12	-	-	TIM4_CH1	-	-	-	-	USART3_RTS_DE	-	-	-	-	LCDC_D17	ETH_MII_RXD3	-	EVENTOUT
PD13	-	-	TIM4_CH2	-	-	-	-	-	TIM18_CH2	-	-	-	-	-	-	EVENTOUT
PD14	-	-	TIM4_CH3	-	-	-	-	-	-	-	-	-	LCDC_D0	-	-	EVENTOUT
PD15	-	-	TIM4_CH4	-	-	-	SPI2_NSS/I2S2_WS	-	-	-	-	-	LCDC_D1	-	-	EVENTOUT

3.5. 端口 E 复用功能映射

表 3-7 端口 E 复用功能映射

PortE	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PE0	-	-	TIM4_ETR	-	TIM16_CH1	-	-	USART1_TX	-	FDCAN1_RX	-	-	-	-	-	EVENTOUT
PE1	-	-	-	TIM14_CH1	TIM17_CH1	-	-	USART1_RX	-	FDCAN1_TX	-	-	-	-	-	EVENTOUT
PE2	TRACECK	-	TIM3_CH1	-	-	-	-	-	-	FDCAN2_RX	-	-	-	-	-	EVENTOUT
PE3	TRACED0	-	TIM3_CH2	TIM10_CH1	-	-	-	-	-	FDCAN2_TX	-	-	-	-	-	EVENTOUT
PE4	TRACED1	-	TIM3_CH3	TIM9_CH1	-	-	-	-	-	-	-	-	LCDC_CS2	-	-	EVENTOUT
PE5	TRACED2	-	TIM3_CH4	TIM9_CH2	-	-	-	-	-	-	-	-	LCDC_CS3	-	-	EVENTOUT
PE6	TRACED3	-	-	TIM18_CH4	-	-	-	-	-	-	-	-	-	-	-	EVENTOUT
PE7	-	-	TIM1_ETR	TIM18_CH3	-	-	-	-	-	-	-	-	LCDC_D4	-	-	EVENTOUT
PE8	-	TIM5_CH3	TIM1_CH1N	TIM12_CH1	-	-	-	-	-	-	-	-	LCDC_D5	-	-	EVENTOUT
PE9	-	TIM5_CH4	TIM1_CH1	TIM12_CH2	-	-	-	-	-	-	ESMC_BK1_IO3	-	LCDC_D6	-	-	EVENTOUT
PE10	-	-	TIM1_CH2N	TIM18_CH4	-	-	-	-	-	-	ESMC_CLK	-	LCDC_D7	-	-	EVENTOUT
PE11	-	-	TIM1_CH2	-	-	-	-	-	-	-	ESMC_CS0_NCS	-	LCDC_D8	-	-	EVENTOUT
PE12	-	-	TIM1_CH3N	-	-	-	-	-	-	-	ESMC_BK1_IO0	-	LCDC_D9	-	-	EVENTOUT
PE13	-	-	TIM1_CH3	-	-	-	-	-	-	-	ESMC_BK1_IO1	-	LCDC_D10	-	-	EVENTOUT
PE14	-	-	TIM1_CH4	-	-	-	TIM1_BKIN2	-	-	-	ESMC_BK1_IO2	-	LCDC_D11	-	-	EVENTOUT
PE15	-	-	TIM1_BKIN	-	-	-	TIM1_CH4N	USART3_RX	-	ESMC_BK1_IO0	ESMC_BK1_IO3	-	LCDC_D12	-	-	EVENTOUT

3.6. 端口 F 复用功能映射

表 3-8 端口 F 复用功能映射

PortF	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PF0	-	-	-	-	I2C2_SDA	SPI2_NSS/I2S2_WS	TIM1_CH3N	-	-	-	-	-	-	-	-	EVENTOUT
PF1	-	-	-	-	-	SPI2_SCK/I2S2_CK	-	-	-	-	-	-	-	-	-	EVENTOUT
PF2	-	-	-	-	I2C2_SMBA	-	-	-	-	-	-	-	-	-	-	EVENTOUT
PF3	-	-	TIM15_CH1	-	SPI2_SCK/I2S2_CK	TIM5_CH4	TIM12_CH2	-	-	ESMC_BK1_IO1	-	-	-	-	-	EVENTOUT
PF4	-	-	TIM15_CH2	-	SPI2_SCK/I2S2_CK	-	-	-	-	ESMC_CLK	-	LCDC_RS	-	-	-	EVENTOUT
PF5	MCO	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENTOUT

4. 存储器映射

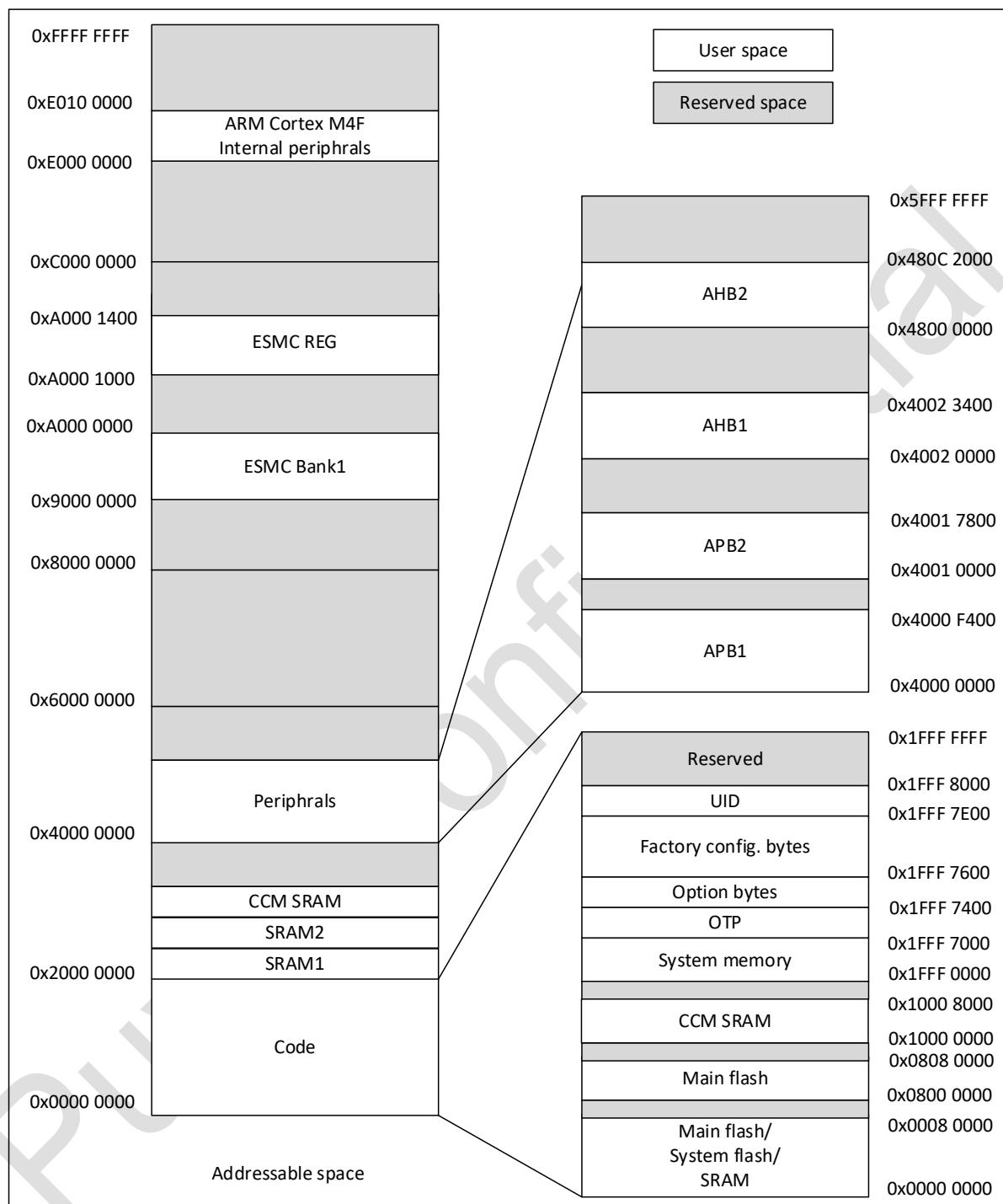


图 4-1 存储器映射

表 4-1 存储器地址

Type	Boundary Address	Size	Memory Area	Description
SRAM	0x2002 4000 - 0x3FFF FFFF	511 MB	保留	1.CPU 读写该空间时产生 Response error, 进而进入 HardFault 异常 2.DMA 访问时产生 TEIF 状态位
	0x2000 0000 - 0x2002 3FFF	144 KB	SRAM	如果硬件上电配置 SRAM 为 144 KB, 则 SRAM 地址空间为 0x2000 0000 - 0x20023FFF
Code	0x1FFF 8000 - 0x1FFF FFFF	32KB	保留	-
	0x1FFF 7E00 - 0x1FFF 7FFF	512 Bytes	UID bytes	Unique ID
	0x1FFF 7600 - 0x1FFF 7DFF	2 KB	Factory config. bytes	-
	0x1FFF 7400 - 0x1FFF 75FF	512 Bytes	Option bytes	芯片软硬件 option bytes 信息
	0x1FFF 7000 - 0x1FFF 73FF	1 KB	OTP	-
	0x1FFF 0000 - 0x1FFF 6FFF	28 KB	System memory	存放 Bootloader
	0x1008 0000 - 0x1FFE FFFF	256 MB	保留	-
	0x1000 0000 - 0x1000 7FFF	32 KB	CCM SRAM	-
	0x0808 0000 - 0x0FFF FFFF	127 MB	保留	-
	0x0800 0000 - 0x0807 FFFF	512 KB	Main flash memory	-
	0x0008 0000 - 0x07FF FFFF	127 MB	保留	1.CPU 读写该空间时产生 Response error, 进而进入 HardFault 异常; 2.DMA 访问时产生 TEIF 状态位;
	0x0000 0000 - 0x0007 FFFF	512 KB	根据 Boot 配置选择是： 1) Main flash memory 2) System memory 3) SRAM	-

1. 上述空间标注为**保留**的空间, 无法进行写操作, 读为 0, 且产生 response error。

表 4-2 外设寄存器地址

总线	存储器起止地址	外设
AHB3	0xA000 1000 - 0xA000 13FF	ESMC
AHB2	0x480C 2000 - 0x5FFF FFFF	保留
	0x480C 0000 - 0x400C 1FFF	ETH
	0x4808 0000 - 0x480B FFFF	USB2 OTG
	0x4804 0000 - 0x4807 FFFF	USB1 OTG
	0x4800 2800 - 0x4803 FFFF	保留
	0x4800 2400 - 0x4800 27FF	AES
	0x4800 2000 - 0x4800 23FF	SDIO
	0x4800 1800 - 0x4800 1FFF	保留
	0x4800 1400 - 0x4800 17FF	GPIOF
	0x4800 1000 - 0x4800 13FF	GPIOE
	0x4800 0C00 - 0x4800 0FFF	GPIOD
	0x4800 0800 - 0x4800 0BFF	GPIOC
	0x4800 0400 - 0x4800 07FF	GPIOB

总线	存储器起止地址	外设
AHB1	0x4800 0000 - 0x4800 03FF	GPIOA
	0x4002 3400 - 0x4002 FFFF	保留
	0x4002 3000 - 0x4002 33FF	CRC
	0x4002 2400 - 0x4002 2FFF	保留
	0x4002 2000 - 0x4002 23FF	FMC
	0x4002 1400 - 0x4002 1FFF	保留
	0x4002 1000 - 0x4002 13FF	RCC
	0x4002 0C00 - 0x4002 0FFF	CORDIC
	0x4002 0800 - 0x4002 0BFF	保留
	0x4002 0400 - 0x4002 07FF	DMA2
APB2	0x4002 0000 - 0x4002 03FF	DMA1
	0x4001 7800 - 0x4001 FFFF	保留
	0x4001 7400 - 0x4001 77FF	LCDC
	0x4001 7000 - 0x4001 73FF	OPA
	0x4001 6C00 - 0x4001 6FFF	COMP
	0x4001 6800 - 0x4001 6BFF	RNG
	0x4001 6400 - 0x4001 67FF	TIMER19
	0x4001 6000 - 0x4001 63FF	TIMER17
	0x4001 5C00 - 0x4001 5FFF	TIMER16
	0x4001 5800 - 0x4001 5BFF	TIMER15
	0x4001 5400 - 0x4001 57FF	TIMER11
	0x4001 5000 - 0x4001 53FF	TIMER10
	0x4001 4C00 - 0x4001 4FFF	TIMER9
	0x4001 4000 - 0x4001 4BFF	保留
	0x4001 3C00 - 0x4001 3FFF	ADC3
	0x4001 3800 - 0x4001 3BFF	USART1
	0x4001 3400 - 0x4001 37FF	TIMER8
	0x4001 3000 - 0x4001 33FF	SPI1/I ² S1
APB1	0x4001 2C00 - 0x4001 2FFF	TIMER1
	0x4001 2800 - 0x4001 2BFF	ADC2
	0x4001 2400 - 0x4001 27FF	ADC1
	0x4001 0800 - 0x4001 23FF	保留
	0x4001 0400 - 0x4001 07FF	EXTI
	0x4001 0000 - 0x4001 03FF	SYSCFG
	0x4000 F400 - 0x4000 FFFF	保留
	0x4000 E000 - 0x4000 F3FF	CAN2.0
	0x4000 CC00 - 0x4000 DFFF	CANFD
	0x4000 C800 - 0x4000 CBFF	CTC

总线	存储器起止地址	外设
	0x4000 7C00 - 0x4000 7FFF	LPTIM1
	0x4000 7800 - 0x4000 7BFF	I ² C3
	0x4000 7400 - 0x4000 77FF	DAC
	0x4000 7000 - 0x4000 73FF	PWR
	0x4000 6D00 - 0x4000 6FFF	保留
	0x4000 6C00 - 0x4000 6CFF	BKP
	0x4000 6000 - 0x4000 6BFF	保留
	0x4000 5C00 - 0x4000 5FFF	UART3
	0x4000 5800 - 0x4000 5BFF	I ² C2
	0x4000 5400 - 0x4000 57FF	I ² C1
	0x4000 5000 - 0x4000 53FF	UART2
	0x4000 4C00 - 0x4000 4FFF	UART1
	0x4000 4800 - 0x4000 4BFF	USART3
	0x4000 4400 - 0x4000 47FF	USART2
	0x4000 4000 - 0x4000 43FF	保留
	0x4000 3C00 - 0x4000 3FFF	SPI3/I ² S3
	0x4000 3800 - 0x4000 3BFF	SPI2/I ² S2
	0x4000 3400 - 0x4000 37FF	保留
	0x4000 3000 - 0x4000 33FF	IWDG
	0x4000 2C00 - 0x4000 2FFF	WWDG
	0x4000 2800 - 0x4000 2BFF	RTC
	0x4000 2400 - 0x4000 27FF	TIMER18
	0x4000 2000 - 0x4000 23FF	TIMER14
	0x4000 1C00 - 0x4000 1FFF	TIMER13
	0x4000 1800 - 0x4000 1BFF	TIMER12
	0x4000 1400 - 0x4000 17FF	TIMER7
	0x4000 1000 - 0x4000 13FF	TIMER6
	0x4000 0C00 - 0x4000 0FFF	TIMER5
	0x4000 0800 - 0x4000 0BFF	TIMER4
	0x4000 0400 - 0x4000 07FF	TIMER3
	0x4000 0000 - 0x4000 03FF	TIMER2

1. 上表 AHB 标注为**保留**的地址空间，无法写操作，读回为 0，且产生 HardFault。

5. 电气特性

5.1. 测试条件

除非特殊说明，所有的电压都以 V_{SS} 为基准。

5.1.1. 最小值和最大值

除非特别说明，所有器件的最小值和最大值已在生产期间进行过测试，测试环境温度为 $T_A = 25^\circ\text{C}$ 和 $T_A = T_{Amax}$ (取决于所选器件的温度范围)，这些值能在最坏的环境温度、供电电压和时钟频率条件下得到保证。

根据特性分析结果、设计仿真和 / 或技术特性得到的数据在表格的脚注中说明，并未在生产中进行测试。在特性分析基础上，最小值和最大值是通过样本测试后，取其平均值再加上或减去三倍的标准差 (平均值 $\pm 3\sigma$) 得到。

5.1.2. 典型值

除非特别说明，典型数据都是在 $T_A = 25^\circ\text{C}$ 、 $V_{CC} = 3.3\text{ V}$ 条件下测得的 (针对 $2.3\text{ V} \leq V_{CC} \leq 3.6\text{ V}$ 电压范围)。这些数据未经测试，仅供设计参考。

典型的 ADC 精度值是通过对一个标准扩散批次采样，在整个温度范围内执行特性分析确定的，其中 95 % 的器件的误差小于或等于指定的值 (平均值 $\pm 2\sigma$)。

5.2. 绝对最大额定值

如果加在芯片上超过以下表格给出的绝对最大值，可能会导致芯片永久性的损坏。这里只是列出了所能承受的强度分等，并不意味着在此条件下器件的功能操作无误。长时间工作在最大值条件下可能影响芯片的可靠性。

表 5-1 电压特性⁽¹⁾

符号	描述	最小值	最大值	单位
$V_{CC}-V_{SS}$	外部供电电压 (包括 V_{CC} , V_{CCA} , V_{BAT} , V_{REF+}) ⁽¹⁾	-0.3	4.0	
$V_{IN}^{(2)}$	FT_xx、NRST 引脚输入电压	$V_{SS}-0.3$	5.5	V
	TT_xx 引脚输入电压	$V_{SS}-0.3$	4.0	
$ \Delta V_{CCx} $	不同 V_{CC} 引脚之间电压变化	-	50	
$ V_{SSx}-V_{SS} $	不同地引脚之间电压变化	-	50	mV

1. 电源 V_{CC} 和地 V_{SS} 引脚必须始终连接到外部允许范围内的供电系统上。
2. V_{IN} 的最大值必须始终遵循允许的最大注入电流值，具体见下表。

表 5-2 电流特性表

符号	描述	最大值	单位
ΣI_{VCC}	流入所有 V_{CC}/V_{CCA} 电源线的总电流 (拉电流) ⁽¹⁾	170	
ΣI_{VSS}	流出所有 V_{SS} 接地线的总电流 (灌电流) ⁽¹⁾	170	
$\Sigma I_{IO(PIN)}$ ⁽²⁾	所有 I/O 和控制引脚的总输出灌电流	120	mA
	所有 I/O 和控制引脚的总拉电流	120	
I_{IO} ⁽²⁾	任意 I/O 和控制引脚的输出灌电流	30	
	任意 I/O 和控制引脚的输出拉电流 ⁽³⁾	30	
$I_{INJ(PIN)}$	在所有 5 V 兼容引脚上的注入电流 ⁽⁴⁾	-5/+0	
	其他所有引脚注入电流 ⁽⁵⁾	± 5	
$\Sigma I_{INJ(PIN)}$ ⁽⁷⁾	所有 I/O 和控制引脚上的总注入电流 ⁽⁶⁾	± 25	

1. 电源 V_{CC} 和地 V_{SS} 引脚必须始终连接到外部允许范围内的供电系统上。
2. IO 类型可参考引脚定义的术语和符号。
3. 不包括 PC13、PC14、PC15 引脚, PC13、PC14、PC15 通过电源开关供电。该开关的拉电流能力限制为 3 mA。
4. 反向注入电流会干扰器件的模拟性能。
5. 这些 I/O 上无法正向注入, 输入电压低于指定的最大值时也不会发生正向注入。
6. 当 $V_{IN} > V_{CCA}$ 时, 会产生正向注入电流; 当 $V_{IN} < V_{SS}$ 时, 会产生反向注入电流。
7. 当多个输入同时存在注入电流时, $\Sigma I_{INJ(PIN)}$ 的最大值等于正向注入电流和反向注入电流 (瞬时值) 的绝对值之和。

表 5-3 温度特性

符号	描述	最大值	单位
T_{STG}	储存温度范围	-65 ~ 150	°C
T_J	最大结温	150	°C

5.3. 工作条件

5.3.1. 通用工作条件

表 5-4 通用工作条件

符号	参数	条件	最小值	最大值	单位
f_{HCLK}	AHB 时钟频率	-	0	170	MHz
f_{PCLK1}	APB1 时钟频率	-	0	85	
f_{PCLK2}	APB2 时钟频率	-	0	85	
V_{CC}	工作电压	-	2.3	3.6	V
V_{CCA}	模拟电路工作电压	必须与 V_{CC} 相同	2.3	3.6	V
V_{BAT}	备份部分工作电压	-	2.3	3.6	V
V_{IN}	FT_xx、NRST 引脚输入电压	-	$V_{SS}-0.3$	5.5	V
	TT_xx 引脚输入电压	-	$V_{SS}-0.3$	3.6	
T_A	环境温度	-	-40	105	°C
T_J	结温范围	-	-40	110	°C

5.3.2. 复位和电压控制模块特性

表 5-5 复位和电压控制模块特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{PVD}	可编程电压检测器电平选择	PLS[2:0]=000 (上升沿)	保留	保留	保留	V
		PLS[2:0]=000 (下降沿)				
		PLS[2:0]=001 (上升沿)				
		PLS[2:0]=001 (下降沿)				
		PLS[2:0]=010 (上升沿)				
		PLS[2:0]=010 (下降沿)				
		PLS[2:0]=011 (上升沿)	2.3 ⁽²⁾	2.4	2.5	
		PLS[2:0]=011 (下降沿)	2.2	2.3	2.4 ⁽²⁾	
		PLS[2:0]=100 (上升沿)	2.5 ⁽²⁾	2.6	2.7	
		PLS[2:0]=100 (下降沿)	2.4	2.5	2.6 ⁽²⁾	
		PLS[2:0]=101 (上升沿)	2.7 ⁽²⁾	2.8	2.9	
		PLS[2:0]=101 (下降沿)	2.6	2.7	2.8 ⁽²⁾	
		PLS[2:0]=110 (上升沿)	2.9 ⁽²⁾	3	3.1	
		PLS[2:0]=110 (下降沿)	2.8	2.9	3 ⁽²⁾	
		PLS[2:0]=111 (检测 PB7 电压, 无迟滞窗口)	-	1.2 ⁽²⁾	-	
$V_{PVDhyst}^{(1)}$	PVD 迟滞	-	-	100	-	mV
$V_{POR/PDR}$	上电/下电复位阈值	下降沿	1.53	1.63	1.73	V
		上升沿	1.56	1.61	1.66	
$V_{PDRhyst}^{(1)}$	PDR 迟滞	-	-	20	-	mV
$t_{RSTTEMPO}^{(3)}$	复位持续时间	-	1	2.5	4.5	ms

- 由设计保证, 不在生产中测试。
- 数据基于考核结果, 不在生产中测试。
- 复位持续时间的测量方法为从上电 (POR 复位或从 V_{BAT} 唤醒) 到用户应用代码读取第一条指令的时刻。

5.3.3. 上下电工作条件

表 5-6 上电和掉电工作条件

符号	参数	条件	最小值	最大值	单位
t _{VCC}	V _{CC} 上升速率	-	10	∞	$\mu\text{s}/\text{V}$
	V _{CC} 下降速率	V _{CC} , V _{BAT} 同步下降	20	∞	
		V _{CC} 下降, V _{BAT} 保持	100	∞	

5.3.4. 工作电流特性

电流消耗受多个参数和因素影响，包括工作电压、环境温度、I/O 引脚负载、器件软件配置、工作频率、I/O 引脚开关速率、程序在存储器中的位置以及执行的代码等。本节所述各种运行模式下的电流消耗测量值都通过一套精简代码得出。

最大电流消耗

微控制器处于下列条件：

- 所有的 I/O 引脚都处于输入模式，V_{CC} 或 V_{SS} 上为静态值(无负载)。
- 所有的外设都处于关闭状态，除非特别说明。
- 闪存存储器的访问时间调整到 f_{HCLK} 的频率(0 ~ 25 MHz 时为 0 个等待周期，25 ~ 50 MHz 时为 1 个等待周期，50 ~ 75 MHz 时为 3 个等待周期，75 ~ 100 MHz 时为 4 个等待周期，100 ~ 125 MHz 时为 5 个等待周期，125 ~ 150 MHz 时为 6 个等待周期，大于 150 MHz 时为 7 个等待周期)。
- 除非特别说明，当 V_{CC} = 3.6 V 时最大环境温度 (T_A) 时达到最大值，典型值为 T_A = 25 °C, V_{CC} = 3.3 V。
- 指令预取功能开启。当开启外设时：f_{PCLK1} = f_{HCLK}。

注：指令预取功能必须在设置时钟和总线分频之前设置。

表 5-7 Flash 下运行 (Run) 模式电流

符号	参数	条件			频率 $f_{HCLK}^{(2)(3)}$	典型值	最大值 ⁽¹⁾		单位
		Code	运行	-		$T_A = 25^\circ C$	$T_A = 85^\circ C$	$T_A = 105^\circ C$	
I_{VCC}	运行模式下供电电流	While(1)	Flash	外部时钟， 所有外设使能	170 MHz	47.7	-	52.6	mA
					144 MHz	42.8	-	50.3	
					128 MHz	38.7	-	46.8	
					96 MHz	30.0	-	38.6	
					64 MHz	21.2	-	30.4	
					48 MHz	17.8	-	27.3	
					32 MHz	12.8	-	22.7	
					16 MHz	5.5	-	15.9	
				外部时钟， 所有外设禁止	170 MHz	23.2	-	31.8	
					144 MHz	21.6	-	29.2	
					128 MHz	18.6	-	27.9	
					96 MHz	14.8	-	24.1	
					64 MHz	10.8	-	20.6	
					48 MHz	10.0	-	19.8	
					32 MHz	7.5	-	17.4	
					16 MHz	3.4	-	13.3	

1. 数据基于考核结果，不在生产中测试。
2. 外部时钟为 16 MHz，当 $f_{HCLK} > 16$ MHz 时启用 PLL。
3. 16 MHz 为内部 HSI 时钟。

表 5-8 SRAM 下运行 (Run) 模式电流

符号	参数	条件			频率 $f_{HCLK}^{(2)(3)}$	典型值	最大值 ⁽¹⁾		单位
		Code	运行	-		$T_A = 25^\circ C$	$T_A = 85^\circ C$	$T_A = 105^\circ C$	
I_{VCC}	运行模式下供电电流	While(1)	SRAM (SRAM1)	外部时钟, 所有外设使能	170 MHz	47.6	-	48.9	mA
					144 MHz	40.8	-	44.9	
					128 MHz	36.6	-	42.2	
					96 MHz	28.1	-	33.4	
					64 MHz	19.4	-	25.8	
					48 MHz	15.1	-	22.0	
					32 MHz	10.8	-	18.2	
					16 MHz	5.7	-	13.9	
			SRAM (SRAM1)	外部时钟, 所有外设禁止	170 MHz	23.3	-	31.0	
					144 MHz	19.5	-	27.3	
					128 MHz	17.5	-	26.5	
					96 MHz	13.6	-	21.6	
					64 MHz	9.6	-	17.8	
					48 MHz	7.8	-	15.9	
					32 MHz	5.7	-	14.0	
					16 MHz	3.3	-	11.8	

1. 数据基于考核结果, 不在生产中测试。
2. 外部时钟为 16 MHz, 当 $f_{HCLK} > 16$ MHz 时启用 PLL。
3. 16 MHz 为内部 HSI 时钟。

表 5-9 睡眠 (Sleep) 模式电流

符号	参数	条件		频率 $f_{HCLK}^{(2)(3)}$	典型值		最大值 ⁽¹⁾		单位
		Code	-		$T_A = 25^\circ C$	$T_A = 85^\circ C$	$T_A = 105^\circ C$		
I _{VCC}	睡眠模式供电	While(1)	外部时钟， 所有外设使能	170 MHz	37.2	-	45.0	mA	
				144 MHz	31.9	-	40.2		
				128 MHz	28.6	-	37.2		
				96 MHz	22.0	-	31.1		
				64 MHz	15.3	-	25.0		
				48 MHz	12.0	-	21.9		
				32 MHz	8.7	-	18.8		
				16 MHz	4.6	-	15.1		
		外部时钟， 所有外设禁止		170 MHz	9.3	-	16.8		
				144 MHz	8.0	-	15.8		
				128 MHz	7.3	-	15.2		
				96 MHz	5.8	-	14.0		
				64 MHz	4.4	-	12.8		
				48 MHz	3.7	-	12.2		
				32 MHz	3.3	-	11.6		
				16 MHz	2.0	-	10.6		

1. 数据基于考核结果，不在生产中测试。
2. 外部时钟为 16 MHz，当 $f_{HCLK} > 16$ MHz 时启用 PLL。
3. 16 MHz 为内部 HSI 时钟。

表 5-10 Flash 下低功耗运行 (Low-power run) 模式电流

符号	参数	条件		频率 $f_{HCLK}^{(2)}$	典型值	最大值 ⁽¹⁾		单位
		Code	-		$T_A = 25^\circ C$	$T_A = 85^\circ C$	$T_A = 105^\circ C$	
I _{VCC}	低功耗运行模式供电	While(1)	外部时钟, 所有外设使能	2 MHz	2.08	-	10.9	mA
				1 MHz	1.71	-	10.7	
				250 kHz	1.42	-	10.5	
				62.5 kHz	1.36	-	10.5	
		While(1)	外部时钟, 所有外设禁止	2 MHz	1.81	-	10.2	
				1 MHz	1.57	-	10.1	
				250 kHz	1.38	-	10.1	
				62.5 kHz	1.33	-	10.1	

1. 数据基于考核结果, 不在生产中测试。
2. 外部时钟为 16 MHz, 当 $f_{HCLK} > 16$ MHz 时启用 PLL。

表 5-11 SRAM 下低功耗运行 (Low-power run) 模式电流

符号	参数	条件		频率 $f_{HCLK}^{(2)}$	典型值	最大值 ⁽¹⁾		单位
		Code	-		$T_A = 25^\circ C$	$T_A = 85^\circ C$	$T_A = 105^\circ C$	
I _{VCC}	低功耗运行模式供电	While(1)	外部时钟 ⁽²⁾ , 所有外设使能	2 MHz	2.29	-	10.5	mA
				1 MHz	2.06	-	10.3	
				250 kHz	1.88	-	10.1	
				62.5 kHz	1.83	-	9.7	
		While(1)	外部时钟 ⁽²⁾ , 所有外设禁止	2 MHz	1.93	-	10.0	
				1 MHz	1.85	-	9.9	
				250 kHz	1.78	-	9.8	
				62.5 kHz	1.77	-	9.5	

1. 数据基于考核结果, 不在生产中测试。
2. 外部时钟为 16 MHz, 当 $f_{HCLK} > 16$ MHz 时启用 PLL。

表 5-12 低功耗睡眠 (Low-power sleep) 模式电流

符号	参数	条件		频率 $f_{HCLK}^{(2)}$	典型值	最大值 ⁽¹⁾		单位	
		Code	-		$T_A = 25^\circ C$	$T_A = 85^\circ C$	$T_A = 105^\circ C$		
I_{VCC}	低功耗睡眠模式供电	While(1)	外部时钟 ⁽²⁾ , 所有外设使能	2 MHz	1.81	-	11.6	mA	
				1 MHz	1.63	-	11.5		
				250 kHz	1.50	-	11.3		
				62.5 kHz	1.47	-	11.3		
		外部时钟 ⁽²⁾ , 所有外设禁止		2 MHz	1.29	-	9.3		
				1 MHz	1.27	-	9.3		
				250 kHz	1.25	-	9.3		
				62.5 kHz	1.24	-	9.3		

1. 数据基于考核结果, 不在生产中测试。
2. 外部时钟为 16 MHz, 当 $f_{HCLK} > 16$ MHz 时启用 PLL。

表 5-13 停机 (Stop) 和待机 (Standby) 模式电流

符号	参数	条件	典型值 ⁽¹⁾			最大值 ⁽²⁾		单位	
			$V_{CC}/V_{BAT} = 2.3\text{ V}$	$V_{CC}/V_{BAT} = 3.3\text{ V}$	$V_{CC}/V_{BAT} = 3.6\text{ V}$	$T_A = 85^\circ\text{C}$	$T_A = 105^\circ\text{C}$		
I_{VCC}	停机模式供电电流	LDO MR (1.1 V) 模式, 内部高速振荡器、内部低速振荡器和高速振荡器关闭	-	1005	-	-	7660	μA	
		LDO LPR (0.9 V) 模式, 内部高速振荡器、内部低速振荡器和高速振荡器关闭	-	499	-	-	7360		
	待机模式供电电流	内部低速振荡器和 IWDG 开启	-	2.43	-	-	13.1		
		内部低速振荡器开启, IWDG 关闭	-	2.40	-	-	13.0		
I_{VBAT}	备份域供电电流	内部低速 RC 振荡器和 IWDG 关闭, 低速振荡器和 RTC 关闭	-	2.08	-	-	12.6		
		待机模式 SRAM2 供电时增加的电流	-	5.01	-	-	28.0		
		低速振荡器开启, RTC 开启	-	2.67	-	-	4.23		
		低速振荡器和 RTC 关闭	-	2.19	-	-	3.92		

1. 典型值是在 $T_A = 25^\circ\text{C}$ 测试。

2. 由特性评估得出, 不在生产中测试。

5.3.5. 低功耗模式唤醒时间

表 5-14 低功耗模式唤醒时间

符号	参数	典型值 ^{(2) (3)}	最大值	单位
$t_{WUSLEEP}^{(1)}$	从睡眠模式到运行模式唤醒	6	-	CPU 时 钟周期
$t_{WULPSLEEP}^{(1)}$	从低功耗睡眠模式到低功耗运行模式唤醒	6	-	
$t_{WUSTOP}^{(1)}$	从停机模式到 Flash 运行模式唤醒(LDO 运行模式)	6	-	μs
	从停机模式到 SRAM1 运行模式唤醒(LDO 运行模式)	6	-	
	从停机模式到 Flash 运行模式唤醒(LDO 低功耗模式)	8	-	
	从停机模式到 SRAM1 运行模式唤醒(LDO 低功耗模式)	8	-	
	从停机模式到 Flash 低功耗运行模式唤醒(LDO 低功耗模式)	8	-	
	从停机模式到 SRAM1 低功耗运行模式唤醒(LDO 低功耗模式)	8	-	
$t_{WUSTDBY}^{(1)}$	从待机模式到运行模式唤醒	40	-	
$t_{WUSTDBY_SRAM2}^{(1)}$	从待机模式(SRAM2 ON)到运行模式唤醒	40	-	
$t_{WULPRUN}$	从低功耗运行模式到运行模式唤醒	5	-	

1. 唤醒时间的测量是从唤醒时间开始至用户程序读取第一条指令。
2. 数据基于考核结果, 不在生产中测试。
3. 测试数据基于 HSI16 = 16 MHz 条件。

5.3.6. 外部时钟源特性

5.3.6.1. 外部高速时钟

在 HSE 的 bypass 模式(RCC_CR 的 HSEBYP 置位), 芯片内的高速起振电路停止工作, 相应的 IO 作为标准的 GPIO 使用。

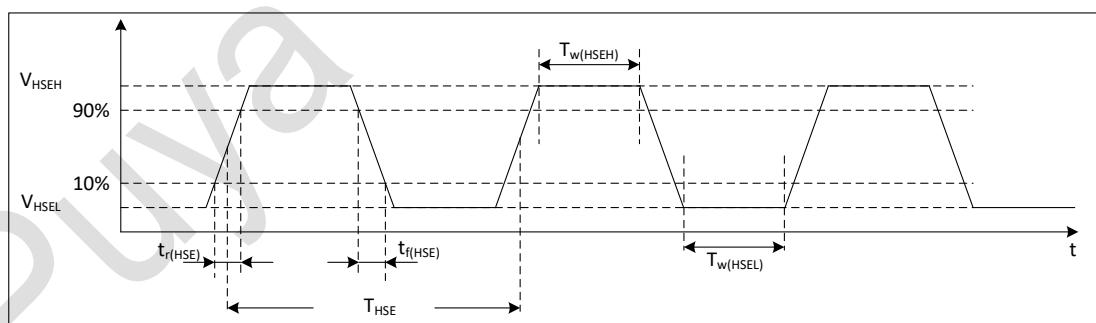


图 5-1 外部高速时钟时序图

表 5-15 外部高速时钟特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSE_ext}	用户外部时钟频率	-	1	-	32	MHz
V_{HSEH}	OSC_IN 输入引脚高电平电压		0.7V _{CC}	-	V_{CC}	V
V_{HSEL}	OSC_IN 输入引脚低电平电压		V_{SS}	-	0.3V _{CC}	
$t_w(HSE)$	OSC_IN 输入引脚高电平低电平时间		5	-	-	ns
$t_r(HSE)/t_f(HSE)$	OSC_IN 输入引脚上升或下降时间		-	-	20	
$C_{in(HSE)}$	OSC_IN 输入引脚电容	-	-	5	-	pF
$DuCy(HSE)$	占空比	-	45	-	55	%
I_L	OSC_IN 输入引脚漏电流	$V_{SS} \leq V_{IN} \leq V_{CC}$	-	-	± 1	μA

1. 由设计保证, 不在生产中测试。

5.3.6.2. 外部低速时钟

在 LSE 的 bypass 模式 (RCC_BDCR 的 LSEBYP 置位), 芯片内的低速起振电路停止工作, 相应的 IO 作为标准的 GPIO 使用。

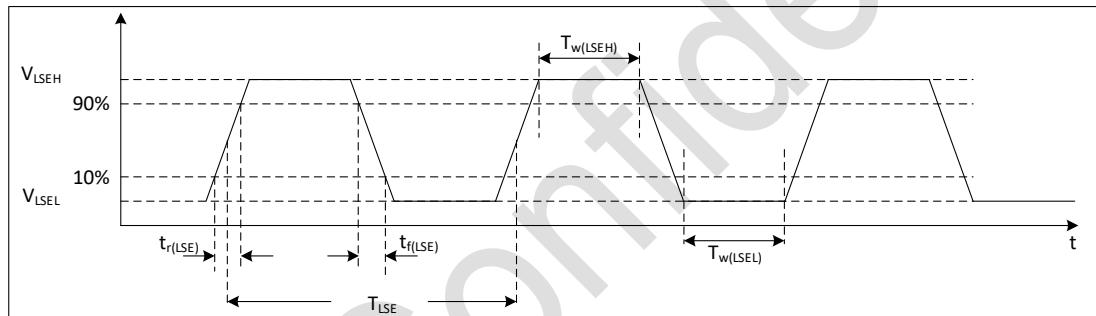


图 5-2 外部低速时钟时序图

表 5-16 外部低速时钟特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
f_{LSE_ext}	用户外部时钟频率 ⁽¹⁾	-	-	32.768	1000	KHz
V_{LSEH}	OSC32_IN 输入引脚高电平电压		0.7V _{CC}	-	V_{CC}	V
V_{LSEL}	OSC32_IN 输入引脚低电平电压		V_{SS}	-	0.3V _{CC}	
$t_w(LSE)$	OSC32_IN 输入引脚高电平低电平时间		450	-	-	ns
$t_r(LSE)/t_f(LSE)$	OSC32_IN 输入引脚上升或下降时间		-	-	50	
$C_{in(LSE)}$	OSC32_IN 输入引脚电容	-	-	5	-	pF
$DuCy(LSE)$	占空比	-	40	-	60	%
I_L	OSC32_IN 输入引脚漏电流	$V_{SS} \leq V_{IN} \leq V_{CC}$	-	-	± 1	μA

1. 由设计保证, 不在生产中测试。

5.3.6.3. 外部高速晶体

可以通过外接 4 ~ 32 MHz 的晶体/陶瓷谐振器。在应用中, 晶体和负载电容应该尽可能靠近管脚, 这样可以使输出变形和启动稳定时间最小化。

表 5-17 外部高速晶体特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
f_{OSC_IN}	振荡器频率	-	4	-	32	MHz
R_F	反馈电阻	-	-	385	-	kΩ
I_{CC}	HSE 功耗	$C_L=11 \text{ pF}@4 \text{ MHz}, R_m=100 \Omega, \text{HSE_DRV[1:0]=00}$	-	1	-	mA
		$C_L=11 \text{ pF}@8 \text{ MHz}, R_m=80 \Omega, \text{HSE_DRV[1:0]=00}$	-	1	-	
		$C_L=11 \text{ pF}@16 \text{ MHz}, R_m=30 \Omega, \text{HSE_DRV[1:0]=01}$	-	1.2	-	
		$C_L=19 \text{ pF}@24 \text{ MHz}, R_m=40 \Omega, \text{HSE_DRV[1:0]=10}$	-	1.6	-	
		$C_L=9 \text{ pF}@32 \text{ MHz}, R_m=40 \Omega, \text{HSE_DRV[1:0]=10}$	-	1.7	-	
g_m	振荡器跨导	启动	HSE_DRV[1:0]=00	3.5	-	mA/V
			HSE_DRV[1:0]=01	5	-	
			HSE_DRV[1:0]=10	7.5	-	
			HSE_DRV[1:0]=11	10	-	
$t_{SU(HSE)}^{(2)}$	启动时间	HSE_EN 到第一个占空比稳定的时钟的上升沿	$C_L=11 \text{ pF}@4 \text{ MHz}, R_m=100 \Omega, \text{HSE_DRV[1:0]=00}$	-	1.6	ms
			$C_L=11 \text{ pF}@8 \text{ MHz}, R_m=80 \Omega, \text{HSE_DRV[1:0]=00}$	-	0.9	
			$C_L=11 \text{ pF}@16 \text{ MHz}, R_m=30 \Omega, \text{HSE_DRV[1:0]=01}$	-	0.7	
			$C_L=19 \text{ pF}@24 \text{ MHz}, R_m=40 \Omega, \text{HSE_DRV[1:0]=10}$	-	1.3	
			$C_L=9 \text{ pF}@32 \text{ MHz}, R_m=40 \Omega, \text{HSE_DRV[1:0]=10}$	-	1.1	

- 由特性评估给出, 不在生产中测试。
- $t_{SU(HSE)}$ 是从启用 (通过软件) 到时钟振荡达到稳定的启动时间, 针对标准晶体/谐振器测量的, 不同晶体/谐振器可能会有很大差异。

5.3.6.4. 外部低速晶体

可以通过外接 32.768 kHz 的晶体/陶瓷谐振器。在应用中，晶体和负载电容应该尽可能靠近管脚，这样可以使输出变形和启动稳定时间最小化。

表 5-18 外部低速晶体特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
RF	反馈电阻	-	-	5	-	MΩ
I _{CC}	LSE 功耗	C _L =6 pF, LSE_DRV[1:0]=00	-	600	-	nA
		C _L =6 pF, LSE_DRV[1:0]=01	-	700	-	
		C _L =12 pF, LSE_DRV[1:0]=10	-	1000	-	
		C _L =12 pF, LSE_DRV[1:0]=11	-	1400	-	
g _m	振荡器跨导	LSE_DRV[1:0]=00	2.5	-	-	μA/V
		LSE_DRV[1:0]=01	3.75	-	-	
		LSE_DRV[1:0]=10	8.5	-	-	
		LSE_DRV[1:0]=11	3.5	-	-	
t _{su(LSE)} ⁽²⁾	启动时间	C _L =6 pF, LSE_DRV[1:0]=00	-	2.7	-	s
		C _L =6 pF, LSE_DRV[1:0]=01	-	1.3	-	
		C _L =12 pF, LSE_DRV[1:0]=10	-	1.5	-	
		C _L =12 pF, LSE_DRV[1:0]=11	-	0.8	-	

1. 由设计保证，不在生产中测试。

2. t_{su(LSE)}是从启用（通过软件）到时钟振荡达到稳定的启动时间，针对标准晶体/谐振器测量的，不同晶体/谐振器可能会有很大差异。

5.3.7. 内部高频时钟源 HSI 特性

表 5-19 内部高频时钟源(HSI16)特性

符号	参数	条件	最小值	典型值	最大值	单位
f _{HSI}	HSI16 频率	V _{CC} =3.3 V, T _A = 25 °C	15.92	16	16.08	MHz
DuCy _(HSI)	占空比	-	45	-	55	%
ΔV _{CC(HSI)}	HSI16 频率电压漂移	-	-0.8	-	0.8	%
ACC _{HSI}	HSI16 振荡器的精度	用户使用 RCC_CR 寄存器调整 ⁽¹⁾	-	0.5	1 ⁽³⁾	%
		出厂校准 ⁽²⁾	T _A = 0 ~ 85 °C	-2	-	1.5
			T _A = -40 ~ 105 °C	-2.5	-	2
t _{su(HSI)} ⁽²⁾	HSI16 振荡器启动时间	-	-	2.9	-	μs
I _{CC(HSI)} ⁽²⁾	HSI16 振荡器功耗	16 MHz	-	230	-	μA

1. 由设计保证，不在生产中测试。

2. 数据基于考核结果，不在生产中测试。

表 5-20 内部高频时钟源(HSI48)特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSI}	HSI48 频率	$V_{CC}=3.3\text{ V}$, $T_A = 25\text{ }^\circ\text{C}$	47.64	48	48.34	MHz
$DuCy_{(HSI)}$	占空比	-	45	-	55	%
$\Delta_{Temp(HSI)}$	HSI48 频率温度漂移	$T_A = 0 \sim 85\text{ }^\circ\text{C}$	-2.5		1.5	%
		$T_A = -40 \sim 105\text{ }^\circ\text{C}$	-3		2	
$t_{su(HSI)}^{(2)}$	HSI48 振荡器启动时间	-	-	2.9	-	μs
$I_{CC(HSI)}^{(2)}$	HSI48 振荡器功耗	48 MHz	-	360	-	μA

1. 由设计保证, 不在生产中测试。

2. 数据基于考核结果, 不在生产中测试。

5.3.8. 内部低频时钟源 LSI 特性

表 5-21 内部低频时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{LSI}	LSI 频率	$V_{CC} = 3.3\text{ V}$, $T_A = 25\text{ }^\circ\text{C}$	38.6	40	41.4	kHz
		$V_{CC} = 2.3 \sim 3.6\text{ V}$, $T_A = -40 \sim 105\text{ }^\circ\text{C}$	30	40	50	kHz
$t_{su(LSI)}^{(1)}$	LSI 振荡器启动时间	-	-	-	85	μs
$I_{CC(LSI)}^{(1)}$	LSI 振荡器功耗	-	-	0.4	-	μA

1. 由设计保证, 不在生产中测试。

5.3.9. 锁相环 PLL 特性

表 5-22 锁相环特性

符号	参数	最小值	典型值	最大值 ⁽¹⁾	单位
f_{PLL_IN}	PLL 输入时钟	2	-	32	MHz
	PLL 输入时钟占空比	40	-	60	%
$f_{PLL_OUT}^{(2)}$	PLL 倍频输出时钟	24	-	170	MHz
t_{LOCK}	PLL 锁相时间	-	25	100	μs
Jitter	抖动	-	360	-	ps

1. 由设计保证, 不在生产中测试。

2. $f_{PLL_OUT} < 96\text{ MHz}$, 需先倍频到 96 MHz 以上, 再分频输出。

5.3.10. 存储器特性

表 5-23 存储器特性

符号	参数	条件	最小值	典型值	最大值 ⁽¹⁾	单位
PE_{CYC}	擦写次数	$T_A=-40 \sim 85\text{ }^\circ\text{C}$	100	-	-	kcycles
t_{RET}	数据保持时间	$T_A=55\text{ }^\circ\text{C}$, 1000 次擦写后	30	-	-	
		$T_A=85\text{ }^\circ\text{C}$, 1000 次擦写后	15	-	-	
		$T_A=105\text{ }^\circ\text{C}$, 1000 次擦写后	10	-	-	
		$T_A=55\text{ }^\circ\text{C}$, 10000 次擦写后	10	-	-	

符号	参数	条件	最小值	典型值	最大值 ⁽¹⁾	单位
t_{PROG}	页编程时间	$T_A = -40 \sim 105^\circ C$	-	1.5	-	ms
t_{ERASE}	页擦除时间	$T_A = -40 \sim 105^\circ C$	-	5	-	ms
t_{MERASE}	全片擦除随时间	$T_A = -40 \sim 105^\circ C$	-	5	-	ms

1. 由设计保证, 不在生产中测试。

5.3.11. EFT 特性

表 5-24 EFT 特性

符号	参数	条件	等级
EFT to Power	-	IEC61000-4-4	4A

5.3.12. ESD & LU 特性

基于三个不同的测试 (ESD、LU)，使用特定的测量方法，对芯片施加应力测试以决定它的电气敏感性方面的性能。

表 5-25 ESD 特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{ESD(HBM)}$	静电放电电压 (人体模型)	$T_A=25^\circ C$; JESD22-A114	-	-	4000	V
$V_{ESD(CDM)}$	静电放电电压 (器件充电模型)	$T_A=25^\circ C$; JESD22-C101	-	-	1000	V
LU	过电流测试	$T_A=25^\circ C$; JESD78A	-	-	± 200	mA
	过压测试		-	-	5.4	V

5.3.13. I/O 电流注入特性

作为一般规则，在正常产品操作期间，应避免由于外部电压低于 V_{SS} 或高于 V_{CC} (对于标准, 3 V I/O 引脚) 而向 I/O 引脚注入电流。然而，为了在异常注入意外发生的情况下给出微控制器的鲁棒性的指示，在器件特性测试时会做抽样测试。

对 I/O 电流注入的功能敏感性

当在设备上执行简单的应用程序时，通过将电流注入配置成输入浮空模式的 I/O 引脚来对设备施加压力。当电流注入 I/O 引脚时 (每次只注入一个)，检查器件是否发生功能故障。

故障由超出范围的参数表示：ADC 错误高于某个限制 (>5 LSB TUE)、相邻引脚上的电流注入超出规范或其他功能故障 (例如复位、振荡器频率偏差)。

表 5-26 I/O 电流注入敏感性

符号	描述	功能敏感性		单位
		负电流注入	正电流注入	
I_{INJ}	在 PC13, PC14, PC15 引脚上的注入电流	0	0	mA
	在所有 5 V 兼容引脚上的注入电流	-5	0	
	在所有其他引脚上的注入电流	-5	5	

5.3.14. 端口特性

表 5-27 端口特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{IL}	输入低电平	TT_xx 引脚, $2.3 \text{ V} \leq V_{CC} \leq 3.6 \text{ V}$	-0.3	-	$0.35 V_{CC} - 0.06$	V
		FT_xx 引脚, $2.3 \text{ V} \leq V_{CC} \leq 3.6 \text{ V}$	-0.3	-	$0.4 V_{CC} - 0.04$	
V_{IH}	输入高电平	TT_xx 引脚, $2.3 \text{ V} \leq V_{CC} \leq 3.6 \text{ V}$	$0.6 V_{CC} + 0.14$	-	$V_{CC} + 0.3$	V
		FT_xx 引脚, $2.3 \text{ V} \leq V_{CC} \leq 3.6 \text{ V}$	$0.45 V_{CC} + 0.23$	-	5.5	
V_{hys} ⁽¹⁾	I/O 施密特电压迟滞	-	-	100	-	mV
I_{Ikg} ⁽²⁾	输入漏电流	TT_xx 引脚, $V_{SS} \leq V_{IN} \leq V_{CC}$	-	-	-1	μA
		FT_xx 引脚, $V_{IN} = 5 \text{ V}$	-	-	3	
R_{PU} ⁽³⁾	内部上拉电阻	$V_{IN} = V_{SS}$	30	40	50	k Ω
R_{PD} ⁽³⁾	内部下拉电阻	$V_{IN} = V_{CC}$	30	40	50	k Ω
C_{IO}	I/O 引脚电容	-	-	5	-	pF
$t_{ns(EXTI)}$ ⁽¹⁾	输入滤波宽度	ENI=1, ENS=1	3	5	10	ns
$t_{ns(I2C)}$ ⁽¹⁾	I ² C 输入滤波宽度	ENI=1, EIIC=1	50	140	250	ns
$t_{ns(NRST)}$ ⁽¹⁾	NRST 输入滤波宽度	ENI=1, EIIC=1	100	180	300	ns

- 由设计保证, 不在生产中测试。
- 如果在相邻引脚有反向电流倒灌, 则漏电流可能高于最大值。
- 上拉和下拉电阻是设计为一个真正的电阻串联一个可开关的 PMOS/NMOS 实现。

输出驱动电流

GPIO(通用输入/输出端口)可以吸收或输出多达 $\pm 8 \text{ mA}$ 电流, 也可以吸收或输出多达 $\pm 20 \text{ mA}$ 电流(需放宽 V_{OL}/V_{OH} 指标)。

PC13、PC14、PC15 通过电源开关供电, 由于该开关的拉电流能力有限(3 mA), 当 PC13, PC14, PC15 被用作输出功能时, 在输出负载 30 pF 条件下, I/O 速度不能超过 2 MHz 。

在用户应用中, I/O 脚的数目必须保证驱动电流不能超过绝对最大额定值给出的绝对最大额定值:

- 所有 I/O 端口从 V_{CC} 上获取的电流总和, 加上 MCU 在 V_{CC} 上获取的最大运行电流, 不能超过 **绝对最大额定值 ΣI_{VCC}** 。
- 所有 I/O 端口吸收并从 V_{SS} 上流出的电流总和, 加上 MCU 在 V_{SS} 上流出的最大运行电流, 不能超过 **绝对最大额定值 ΣI_{VSS}** 。

输出电压

除非特别说明, 下表列出的参数都是在通用工作条件 T_A 使用环境温度和 V_{CC} 电源电压条件下进行的测试得到。

表 5-28 输出电压特性⁽¹⁾

符号	参数	条件 ⁽²⁾	最小值 ⁽¹⁾	典型值	最大值 ⁽¹⁾	单位
V_{OL}	输出低电平	$3.3 \text{ V} \leq V_{CC} \leq 3.6 \text{ V}, I_{IO} = +20 \text{ mA}$ (最多允许 6 个引脚同时吸收电流)	-	-	0.5	V
	输出低电平	$2.7 \text{ V} \leq V_{CC} \leq 3.6 \text{ V}, I_{IO} = +8 \text{ mA}$ (最多允许 8 个引脚同时吸收电流)	-	-	0.4	
		$2.3 \text{ V} \leq V_{CC} \leq 2.7 \text{ V}, I_{IO} = +4 \text{ mA}$ (最多允许 8 个引脚同时吸收电流)	-	-	0.5	
V_{OH}	输出高电平	$3.3 \text{ V} \leq V_{CC} \leq 3.6 \text{ V}, I_{IO} = +20 \text{ mA}$ (最多允许 6 个引脚同时输出电流)	$V_{CC}-0.5$	-	-	V
	输出高电平	$2.7 \text{ V} \leq V_{CC} \leq 3.6 \text{ V}, I_{IO} = +8 \text{ mA}$ (最多允许 8 个引脚同时输出电流)	$V_{CC}-0.4$	-	-	
		$2.3 \text{ V} \leq V_{CC} \leq 2.7 \text{ V}, I_{IO} = +4 \text{ mA}$ (最多允许 8 个引脚同时输出电流)	$V_{CC}-0.5$	-	-	

1. 数据基于考核结果, 不在生产中测试。
2. 所有 IO 驱动测试条件皆为 $\text{GPIOx_OSPEEDR}=11$ 。
3. 对于所有输出的组合, 最大总电流 (包括 V_{OL} 或 V_{OH} 产生的电流总和) 不应超过表 5-2 电流特性中的最大额定值参数 $\sum I_{IO(PIN)}$ 。

5.3.15. ADC 特性

表 5-29 ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{CCA}	模拟供电电压	-	2.3	-	3.6	V
V_{REF+}	正参考电压	-	2.3	-	V_{CCA}	V
I_{CCA}	V_{CCA} 引脚电流	$f_{ADC} = 16 \text{ MHz}$	-	2000	2500 ⁽¹⁾	μA
		$f_{ADC} = 48 \text{ MHz}$	-	2200	2800 ⁽¹⁾	
		$f_{ADC} = 64 \text{ MHz}$	-	2200	3000 ⁽¹⁾	
I_{REF+}	V_{REF+} 引脚电流	$f_{ADC} = 16 \text{ MHz}$	-	40	50 ⁽¹⁾	μA
		$f_{ADC} = 48 \text{ MHz}$	-	120	140 ⁽¹⁾	
		$f_{ADC} = 64 \text{ MHz}$	-	120	150 ⁽¹⁾	
f_{ADC}	ADC 时钟频率	$2.3 \leq V_{CCA} < 3.6 \text{ V}$	16	-	16	MHz
		$2.4 \leq V_{CCA} < 3.6 \text{ V}$	16	-	48	
		$3.0 \leq V_{CCA} < 3.6 \text{ V}$	16	-	64	
$f_S^{(2)}$	采样速率	$V_{CCA} \geq 2.3 \text{ V}$	1	-	1	Msps
		$V_{CCA} \geq 2.4 \text{ V}$	1	-	3	
		$V_{CCA} \geq 3.0 \text{ V}$	1	-	4	
V_{AIN}	转换电压范围 ⁽³⁾	单端模式	0	-	V_{REF+}	V
		差分模式	$-V_{REF+}$	-	V_{REF+}	
$R_{AIN}^{(2)}$	外部输入阻抗 ⁽⁴⁾	-	-	-	100	$\text{k}\Omega$
$R_{ADC}^{(2)}$	采样开关电阻	-	-	-	1.2	$\text{k}\Omega$
$C_{ADC}^{(2)}$	内部采样和保持电阻	-	-	2.5	3	pF
$t_{CAL}^{(2)}$	校准时间	$f_{ADC} = 16 \text{ MHz}$	12			μs
		-	192			$1/f_{ADC}$

符号	参数	条件	最小值	典型值	最大值	单位
$t_s^{(2)}$	采样时间	$f_{ADC} = 16 \text{ MHz}$	0.156	-	40.03	μs
		-	2.5	-	640.5	$1/f_{ADC}$
$t_{\text{samp_setup}}$	采样建立时间 (内部通道)	-	20	-	-	μs
$t_{\text{STAB}}^{(2)}$	上电稳定时间	-	0	0	3	μs
$t_{\text{CONV}}^{(2)}$	总转换时间	$f_{ADC} = 16 \text{ MHz}$	1	-	40.875	μs
		-	16 ~ 654			$1/f_{ADC}$

- 由设计保证, 不在生产中测试。
- 数据基于考核结果, 不在生产中测试。
- 部分封装形式 V_{REF+} 可在内部连接到 V_{CCA} , V_{REF-} 可在内部连接到 V_{SSA} , 具体可参考引脚定义。
- 在外部触发时, 需要额外增加 $1/f_{PCLK2}$ 的延迟。

$$a) R_{AIN} < \frac{T_s}{f_{ADC} \times C_{ADC} \times \ln(2^{N+2})} - R_{ADC}$$

b) 上述公式用于决定最大外部阻抗, 使得误差可以小于 1/4 LSB。其中 $N = 12$, 表示 12 位分辨率。

表 5-30 R_{AIN} max for $f_{ADC} = 64 \text{ MHz}^{(1)}$

采样周期(T_s)	采样时间 (t_s)	R_{AIN} 最大值 (Ω)	
		快速通道	慢速通道
2.5	39.06	100	N/A
6.5	101.56	330	100
12.5	195.31	680	470
24.5	382.81	1500	1200
47.5	742.19	2200	1800
92.5	1445.31	4700	3900
247.5	3867.19	12000	10000
640.5	10007.81	39000	33000

- 由设计保证, 不在生产中测试。

表 5-31 ADC 静态特性⁽¹⁾⁽²⁾⁽³⁾

符号	参数	测试条件	最小值	典型值	最大值	单位
ET	综合误差	2.3V $\leq V_{CCA} = V_{REF+} \leq 3.6V$: 1 Msps 2.4V $\leq V_{CCA} = V_{REF+} \leq 3.6V$: 3 Msps 3.0V $\leq V_{CCA} = V_{REF+} \leq 3.6V$: 4 Msps 分辨率=12 bit	单端模式	-	± 4.5	± 12
			差分模式	-	± 3.0	± 8.0
EO	偏移误差	快速通道: $f_s \leq 4 \text{ MSPS}$	单端模式	-	1.6	± 6.0
			差分模式	-	-1.0	± 4.5
EG	增益误差		单端模式	-	2.0	± 9.0
			差分模式	-	0	± 2.0
ED	微分线性误差		单端模式	-	± 1.1	± 1.3
			差分模式	-	± 1.0	± 1.3
EL	积分线性误差		单端模式	-	± 2.5	± 7.0
			差分模式	-	± 2.5	± 5.5

- 由设计保证, 不在生产中测试。
- ADC DC 测试之前先做校准。

3. ADC 精度与反向注入电流关系：需要避免在任何标准的模拟输入引脚上注入反向电流，因为这样会显著地降低另一个模拟输入引脚上正在进行的转换精度。建议在可能产生反向注入电流的标准模拟引脚上，(引脚与地之间) 增加一个肖特基二极管。

表 5-32 ADC 动态特性⁽¹⁾⁽²⁾⁽³⁾

符号	参数	测试条件	最小值	典型值	最大值	单位
ENOB	有效位数	2.3 V ≤ V _{CCA} = V _{REF+} ≤ 3.6 V: 1 Msps	单端模式	-	10.0	-
			差分模式	-	10.3	-
SINAD	信噪失真比	2.4 V ≤ V _{CCA} = V _{REF+} ≤ 3.6 V: 3 Msps	单端模式	-	62.4	-
			差分模式	-	63.7	-
SNR	信噪比	3.0 V ≤ V _{CCA} = V _{REF+} ≤ 3.6 V: 4 Msps 分辨率 = 12 bit 快速通道: f _S ≤ 4 Msps	单端模式	-	63.5	-
SFDR	无杂散动态范围		差分模式	-	68.7	-
			单端模式	-	73.5	-
			差分模式	-	68.8	-
THD	总谐波失真		单端模式	-	-70.0	-61.9
			差分模式	-	-65.5	-69.8

- 由设计保证，不在生产中测试。
- ADC DC 测试之前先做校准。
- ADC 精度与反向注入电流关系：需要避免在任何标准的模拟输入引脚上注入反向电流，因为这样会显著地降低另一个模拟输入引脚上正在进行的转换精度。建议在可能产生反向注入电流的标准模拟引脚上，(引脚与地之间) 增加一个肖特基二极管。

5.3.16. DAC 特性

表 5-33 DAC 特性

符号	参数	备注	最小值	典型值	最大值	单位
V _{CCA}	模拟供电电压	-	2.3	-	3.6	V
V _{REF+}	正参考电压	V _{REF+} ≤ V _{CCA}	2.3	-	3.6	V
V _{SSA}	模拟地	-	0	-	0	V
R _{LOAD} ⁽¹⁾	缓冲器开启时相对 V _{SSA} 的电阻负载	-	5	-	-	kΩ
	缓冲器开启时相对 V _{CCA} 的电阻负载	-	15	-	-	kΩ
R ₀ ⁽¹⁾	缓冲器关闭时的阻抗输出	缓冲器关闭时，要使精度为 1%， DAC_OUT 与 V _{SS} 之间的最小阻性负载为 1.5 MΩ	-	-	15	kΩ
C _{LOAD} ⁽¹⁾	容性负载	DAC_OUT 引脚上的最大容性负载 (缓冲器开启时)	-	-	50	pF
DAC_OUT min ⁽¹⁾	缓冲器开启时 DAC_OUT 电压下限	给出了 DAC 的最大输出幅度。对应于 12 位输入代码 (0x0E0) 到 (0xF1C) (V _{REF+} = 3.6 V 时) 以及 (0x164) 到 (0xE9C) (V _{REF+} = 2.3 V 时)	0.2	-	-	V
DAC_OUT max ⁽¹⁾	缓冲器开启时 DAC_OUT 电压上限		-	-	V _{CCA} - 0.2	V
DAC_OUT min ⁽¹⁾	缓冲器关闭时 DAC_OUT 电压下限	给出 DAC 的最大输出幅度	-	0.5	-	mV
DAC_OUT max ⁽¹⁾	缓冲器关闭时 DAC_OUT 电压上限		-	-	V _{REF+} - 0.01	V

符号	参数	备注	最小值	典型值	最大值	单位
$I_{CCVREF+}$	静止模式 (待机模式) 下的 DAC DC V_{REF} 直流电流消耗	无负载, 在输入上的直流消耗方面, 对应于 $V_{REF+} = 3.6$ V 时的最差代码(0x0E4)	-	-	380	μA
I_{CCA}	静止模式下的 DAC DC V_{CCA} 电流消耗 ⁽²⁾	无负载, 输入端中间代码(0x800)	-	-	380	μA
		无负载, 在输入上的直流消耗方面, 对应于 $V_{REF+} = 3.6$ V 时的最差代码(0xF1C)	-	-	480	μA
$DNL^{(3)}$	微分非线性误差 (两个连续代码之间的偏差-1LSB)	DAC 按 8 位配置时	-	± 2	-	LSB
		DAC 按 12 位配置时	-	± 2.5	-	LSB
$INL^{(2)}$	积分非线性误差 (代码 i 处测得的值与代码 0 及最后一个代码 1023 之间连线上代码 i 处的值之间的差)	DAC 按 8 位配置时	-	± 2	-	LSB
		DAC 按 12 位配置时	-	± 2.5	-	LSB
$Offset^{(2)}$	偏移误差 (代码(0x800)处测得值与理想值 $V_{REF+}/2$ 之间的差)	DAC 按 12 位配置	-	-	± 12	LSB
		DAC 按 8 位配置, $V_{REF+} = 3.6$ V	-	-	± 3	LSB
		DAC 按 12 位配置, $V_{REF+} = 3.6$ V	-	-	± 12	LSB
Gain error ⁽²⁾	增益误差	DAC 按 12 位配置时	-	-	± 0.5	%
$t_{SETTLING}^{(2)}$	建立时间 (满刻度: 适用于当 DAC_OUT 达到最终值 ± 1 LSB 时, 最低输入代码与最高输入代码之间转换)	$C_{LOAD} \leq 50$ pF, $R_{LOAD} \geq 5$ k Ω	-	3	4	μs
Update rate ⁽²⁾	当输入代码有微小变化 (从代码 i 到 $i+1$ LSB) 时, 确保 DAC_OUT 输出变化正确的最大频率	$C_{LOAD} \leq 50$ pF, $R_{LOAD} \geq 5$ k Ω	-	-	1	MS/s
$t_{WAKEUP}^{(2)}$	从关闭状态唤醒的时间 (在 DAC 控制寄存器中将 ENx 位置 1)	$C_{LOAD} \leq 50$ pF, $R_{LOAD} \geq 5$ k Ω , 介于可能的最低值和最高值之间的输入代码	-	6.5	10	μs
PSRR+ ⁽¹⁾	电源抑制比 (相对于 V_{CCA}) (静态直流测量)	无 R_{LOAD} , $C_{LOAD} = 50$ pF	-	-67	-40	dB

- 由设计保证, 不在生产中测试。
- 静止模式对应的状态为, DAC 保持在稳定的输出电平以确保无动态消耗发生。

5.3.17. 比较器特性

表 5-34 比较器特性⁽¹⁾

符号	参数	条件		最小值	典型值	最大值	单位
V_{CCA}	比较器供电电压	-		2.3	-	3.6	V
V_{IN}	输入电压范围	-		0	-	V_{CC}	V
t_{START}	启动时间	高速模式		-	-	5	μs
		中速模式		-	-	15	
t_D	比较延时	高速模式	200 mV 阶跃 100 mV 过驱动电压	-	40	70	ns
			>200 mV 阶跃 100 mV 过驱动电压	-	-	85	
		中速模式	200 mV 阶跃 100 mV 过驱动电压	-	0.9	2.3	μs

符号	参数	条件		最小值	典型值	最大值	单位
		>200 mV 阶跃 100 mV 过驱动电压		-	-	3.4	
V_{offset}	失调电压	-		-	± 10	-	mV
V_{hys}	迟滞电压	无迟滞功能		-	0	-	mV
		有迟滞功能		-	20	-	
I_{CCA}	V_{CCA} 工作电流	高速模式	静态功耗	-	450	720	μA
			动态功耗, 输入信号为过驱动电压 100 mV, 50 kHz 的方波	-	450	-	
		中速模式	静态功耗	-	10	20	
			动态功耗, 输入信号为过驱动电压 100 mV, 50 kHz 的方波	-	12	-	
I_{sleep}	关机电流	-	-	-	10	-	nA

1. 由设计保证, 不在生产中测试。

5.3.18. 运算放大器特性

表 5-35 运算放大器特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
V_{CCA}	供电电压	-	2.3	3.3	3.6	V
V_{IN}	输入电压范围	-	0	-	V_{CCA}	V
V_{os}	失调电压	25 °C, 输出无负载	-	-	± 3	mV
		全电压, 全温度	-	-	± 5	
I_{LOAD}	驱动电流	-	-	-	1	mA
$I_{\text{LOAD_PGA}}$	驱动电流 (PGA 模式)	-	-	-	0.5	mA
C_{LOAD}	负载电容	-	-	-	50	pF
R_{LOAD}	负载电阻	-	4	-	-	kΩ
CMRR	共模抑制比	频率 1 kHz	-	60	-	dB
PSRR	电源抑制比 (相对于 V_{CCA} (静态直流测量))	频率 1 kHz, $C_{\text{LOAD}} \leq 50 \text{ pF}$, $R_{\text{LOAD}} \geq 4 \text{ kΩ}$, $V_{\text{com}} = V_{\text{CCA}}/2$	-	80	-	dB
		频率 1 MHz, $C_{\text{LOAD}} \leq 50 \text{ pF}$, $R_{\text{LOAD}} \geq 4 \text{ kΩ}$, $V_{\text{com}} = V_{\text{CCA}}/2$	40	-	-	
		频率 10 MHz, $C_{\text{LOAD}} \leq 50 \text{ pF}$, $R_{\text{LOAD}} \geq 4 \text{ kΩ}$, $V_{\text{com}} = V_{\text{CCA}}/2$	20	-	-	
GBW	带宽	$200 \text{ mV} \leq V_{\text{out}} \leq V_{\text{CCA}} - 200 \text{ mV}$	5	10	-	MHz
SR	压摆率(从 10% * V_{CCA} 到 90% * V_{CCA})	普通模式 $C_L = 8 \text{ pF}$	4	10	-	V/μs
		内部模式 $C_L = 50 \text{ pF}$	2	5	-	
		高速模式 $C_L = 50 \text{ pF}$	3	7	-	
AO	开环增益	$100 \text{ mV} \leq V_{\text{out}} \leq V_{\text{CCA}} - 100 \text{ mV}$	65	95	-	dB
		$200 \text{ mV} \leq V_{\text{out}} \leq V_{\text{CCA}} - 300 \text{ mV}$	75	95	-	
V_{OHSAT}	最大输出饱和电压	$I_{\text{LOAD}} = \text{max}$ 或 $R_{\text{LOAD}} = \text{min}$, Input at V_{CCA} 跟随模式	$V_{\text{CCA}} - 100$	-	-	mV

符号	参数	条件	最小值	典型值	最大值	单位
V_{OLSAT}	最小输出饱和电压	$I_{LOAD} = \text{max}$ or $R_{LOAD} = \text{min}$, Input at 0. 跟随模式	-	-	100	mV
Φ_m	相位裕度	跟随模式, $V_{COM} = V_{CCA}/2$	55	65	-	°
GM	增益裕度	跟随模式, $V_{COM} = V_{CCA}/2$	8	-	-	dB
t_{SU}	建立时间(关闭状态到输出为 98%* V_{CCA})	普通模式, $C_{LOAD} \leq 50 \text{ pF}$, $R_{LOAD} \geq 4 \text{ k}\Omega$, 跟随模式	-	3	6	μs
		高速模式, $C_{LOAD} \leq 50 \text{ pF}$, $R_{LOAD} \geq 4 \text{ k}\Omega$, 跟随模式	-	3	6	
PGA 增益误差	正相增益误差	PGA 增益= 2, $200 \text{ mV} \leq V_{OUT} \leq V_{CCA}-200 \text{ mV}$	-2	-	2	%
		PGA 增益= 4, $200 \text{ mV} \leq V_{OUT} \leq V_{CCA}-200 \text{ mV}$	-2	-	2	
		PGA 增益= 8, $200 \text{ mV} \leq V_{OUT} \leq V_{CCA}-200 \text{ mV}$	-2	-	2	
		PGA 增益= 16, $200 \text{ mV} \leq V_{OUT} \leq V_{CCA}-200 \text{ mV}$	-4	-	4	
		PGA 增益= 32, $200 \text{ mV} \leq V_{OUT} \leq V_{CCA}-200 \text{ mV}$	-8	-	8	
	反相增益误差	PGA 增益= -1, $200 \text{ mV} \leq V_{OUT} \leq V_{CCA}-200 \text{ mV}$	-2	-	2	%
		PGA 增益= -3, $200 \text{ mV} \leq V_{OUT} \leq V_{CCA}-200 \text{ mV}$	-2	-	2	
		PGA 增益= -7, $200 \text{ mV} \leq V_{OUT} \leq V_{CCA}-200 \text{ mV}$	-2	-	2	
		PGA 增益= -15, $200 \text{ mV} \leq V_{OUT} \leq V_{CCA}-200 \text{ mV}$	-4	-	4	
		PGA 增益= -31, $200 \text{ mV} \leq V_{OUT} \leq V_{CCA}-200 \text{ mV}$	-8	-	8	
电阻网络	R2/R1 (内部电阻比例 (PGA 模式, 正相输入))	PGA 增益 = 2	-	320/320	-	$\text{k}\Omega/\text{k}\Omega$
		PGA 增益 = 4	-	480/160	-	
		PGA 增益 = 8	-	560/80	-	
		PGA 增益 = 16	-	600/40	-	
		PGA 增益 = 32	-	620/20	-	
	R2/R1 (内部电阻比例 (PGA 模式, 反相输入))	PGA 增益 = -1	-	320/320	-	$\text{k}\Omega/\text{k}\Omega$
		PGA 增益 = -3	-	480/160	-	
		PGA 增益 = -7	-	560/80	-	
		PGA 增益 = -15	-	600/40	-	
		PGA 增益 = -31	-	620/20	-	
eN	电压噪声密度	1 kHz, 输出电阻负载 4 k Ω	-	250	-	$\mu\text{V}/\sqrt{\text{Hz}}$
		10 kHz, 输出电阻负载 4 k Ω	-	90	-	
I_{CCA}	OPAMP 工作电流	普通模式, 无负载, 跟随模式	-	2.3	2.5	mA
		高速模式, 无负载, 跟随模式	-	2	2.6	

符号	参数	条件	最小值	典型值	最大值	单位
I _{CCA_INT}	OPAMP 工作电流, OPAINTOEN=1	普通模式, 无负载, 跟随模式	-	1.2	1.5	mA
		高速模式, 无负载, 跟随模式	-	1.3	1.6	

1. 由设计保证, 不在生产中测试。

5.3.19. 温度传感器特性

表 5-36 温度传感器特性

符号	参数	最小值	典型值	最大值	单位
T _L ⁽¹⁾	V _{SENSE} 相对于温度的线性度	-	±1	±2	°C
Avg_Slope ⁽¹⁾	平均斜率	2.0	2.2	2.4	mV/°C
V ₃₀ ⁽¹⁾	30 °C 时的电压	0.582	0.6	0.618	V
t _{START} ⁽²⁾	建立时间	4	-	10	μs
t _{S_temp} ⁽²⁾⁽³⁾	当读取温度时的 ADC 采样时间	20	-	-	μs

- 由设计保证, 不在生产中测试。
- 数据基于考核结果, 不在生产中测试。
- 最短的采样时间可以由应用程序通过多次循环决定。

5.3.20. 内置参考电压特性

表 5-37 内置参考电压(V_{REFINT})特性

符号	参数	最小值	典型值	最大值	单位
V _{REFINT}	内部参考电压	1.17	1.2	1.23	V
t _{S_vrefint} ⁽¹⁾	读内部参考电压时, ADC 采样时间	10	-	-	μs
t _{START}	启动时间	-	3	10	μs
T _{Coeff} ⁽¹⁾	温度系数	-	-	100	ppm/°C

- 由设计保证, 不在生产中测试。

5.3.21. ADC/DAC 内置参考电压

表 5-38 ADC/DAC 内置参考电压(V_{REFBUF})特性 ⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
V _{CCA}	模拟供电电压	1.024 V 内置参考电压	2.3	-	3.6	V
		2.048 V 内置参考电压	2.4	-	3.6	
		2.5 V 内置参考电压	2.8	-	3.6	
		2.9 V 内置参考电压	3.2	-	3.6	
V _{REF10}	1.08 V 内置参考电压	T _A = 25 °C, V _{CC} = 3.3 V	1.069	1.08	1.091	V
V _{REF20}	2.048 V 内置参考电压	T _A = 25 °C, V _{CC} = 3.3 V	2.028	2.048	2.068	
V _{REF25}	2.5 V 内置参考电压	T _A = 25 °C, V _{CC} = 3.3 V	2.475	2.50	2.525	
V _{REF29}	2.9 V 内置参考电压	T _A = 25 °C, V _{CC} = 3.3 V	2.871	2.90	2.929	
T _{coeff} ⁽¹⁾	V _{REFBUF} 温度系数	T _A = -40 ~ 105 °C	-	-	120	ppm/°C
PSRR+	电源抑制比	-	-	-	-40	dB
I _{load}	静态负载电流	-	-	-	6.5	mA

符号	参数	条件	最小值	典型值	最大值	单位
C_L	负载电容	-	0.5	1	1.5	μF
esr	等效串联电阻	-	-	-	2	Ω
t_{START}	启动时间	$C_L = 0.5 \mu\text{F}$	-	300	350	μs
		$C_L = 1 \mu\text{F}$	-	500	650	
		$C_L = 1.5 \mu\text{F}$	-	650	800	
$I_{\text{CCA}(\text{VREFBUF})}$	V_{CCA} 功耗	-	-	400	-	μA

- 由设计保证, 不在生产中测试。
- 使用 1.024 V、2.5 V、2.9 V 时, 需要不同参考电压对应的 Trim 值加载到指定位置, 具体操作见参考手册。

5.3.22. COMP 内置参考电压特性

表 5-39 内置参考电压 (V_{REFCMP}) 特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
V_{CCA}	模拟供电电压	0.6 V 内置参考电压	2.3	-	3.6	V
		1.5 V 内置参考电压	2.3	-	3.6	
		2.048 V 内置参考电压	2.4	-	3.6	
		2.5 V 内置参考电压	2.8	-	3.6	
$V_{\text{REF}6}$	0.6 V 内置参考电压	$T_A = 25^\circ\text{C}, V_{\text{CC}} = 3.3 \text{ V}$	0.594	0.6	0.606	V
$V_{\text{REF}15}$	1.5 V 内置参考电压	$T_A = 25^\circ\text{C}, V_{\text{CC}} = 3.3 \text{ V}$	1.485	1.5	1.515	
$V_{\text{REF}20}$	2.048 V 内置参考电压	$T_A = 25^\circ\text{C}, V_{\text{CC}} = 3.3 \text{ V}$	2.028	2.048	2.068	
$V_{\text{REF}25}$	2.5 V 内置参考电压	$T_A = 25^\circ\text{C}, V_{\text{CC}} = 3.3 \text{ V}$	2.475	2.5	2.525	
$T_{\text{coeff}}^{(1)}$	V_{REFCMP} 温度系数	$T_A = -40 \sim 105^\circ\text{C}$	-	-	120	$\text{ppm}/^\circ\text{C}$
t_{START}	启动时间	-	-	-	10	μs

- 由设计保证, 不在生产中测试。
- 使用 0.6 V、1.5 V、2.5 V 时, 需要不同参考电压对应的 Trim 值加载到指定位置, 具体操作见参考手册。

5.3.23. 定时器特性

表 5-40 定时器特性

符号	参数	条件	最小值	最大值	单位
$t_{\text{res}}(\text{TIM})$	定时器分辨时间	-	1	-	$t_{\text{TIM}x\text{CLK}}$
		$f_{\text{TIM}x\text{CLK}} = 170 \text{ MHz}$	-	-	ns
f_{EXT}	CH1 ~ CH4 的定时器外部时钟频率	-	0	$f_{\text{TIM}x\text{CLK}}/2$	MHz
		$f_{\text{TIM}x\text{CLK}} = 170 \text{ MHz}$	-	-	MHz
Res_{TIM}	定时器分辨率	-	-	16	bit
t_{COUNTER}	选择内部时钟时 16 位计数器时钟周期	-	1	65536	$t_{\text{TIM}x\text{CLK}}$
		$f_{\text{TIM}x\text{CLK}} = 170 \text{ MHz}$	-	-	μs
$t_{\text{MAX_COUNT}}$	最大可能计数	-	-	65536×65536	$t_{\text{TIM}x\text{CLK}}$
		$f_{\text{TIM}x\text{CLK}} = 170 \text{ MHz}$	-	-	s

表 5-41 IWDG 特性(时钟选择 LSI)

预分频	PR[2:0]	最小溢出值	最大溢出值	单位
/4	0	0.122	499.712	ms
/8	1	0.244	999.424	
/16	2	0.488	1998.848	
/32	3	0.976	3997.696	
/64	4	1.952	7995.392	
/128	5	3.904	15990.784	
/256	6 or 7	7.808	31981.568	

表 5-42 WWWDG 特性(时钟选择 48 MHz PCLK)

预分频	WDGTB[1:0]	最小溢出值	最大溢出值	单位
1*4096	0	0.085	5.461	ms
2*4096	1	0.171	10.923	
4*4096	2	0.341	21.845	
8*4096	3	0.683	43.691	

5.3.24. 通讯口特性

5.3.24.1. I²C 接口特性

I²C 接口满足 I²C 总线规范和参考手册的要求：

- 标准模式 (100 kHz)
- 快速模式 (400 kHz)
- 快速增强模式(1 MHz)

I²C SDA 和 SCL 管脚具有模拟滤波功能，参见下表。

表 5-43 I²C 滤波器特性

符号	参数	参数		最小值	最大值	单位
		最小值	最大值			
t _{AF}	限制过滤器抑制的尖峰持续时间 (短于限制持续时间的尖峰被抑制)	50	260	50	260	ns

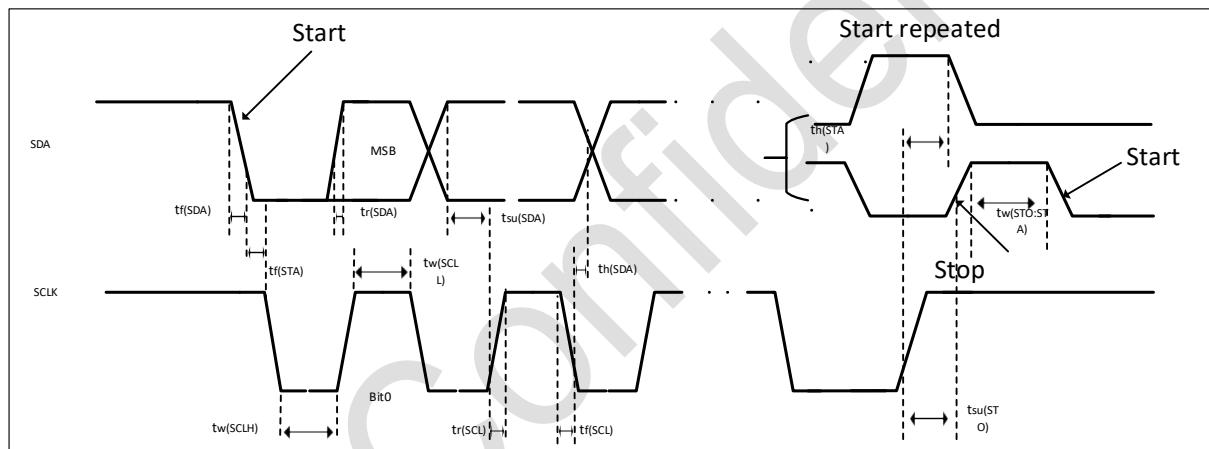
I²C 接口符合标准 I²C 通信协议，但有如下限制：SDA 和 SCL 不是‘真’的引脚，当配置为开漏输出时，在引出脚和 V_{CC} 之间的 PMOS 管被关闭，但仍然存在。

表 5-44 I²C 接口特性

符号	参数	标准 I ² C ⁽¹⁾		快速 I ² C ⁽¹⁾⁽²⁾		快速增强 I ² C ⁽¹⁾⁽²⁾		单位
		最小值	最大值	最小值	最大值	最小值	最大值	
t _{w(SCL)}	SCL 时钟低时间	4.7	-	1.3	-	0.5	-	μs
t _{w(SCLH)}	SCL 时钟高时间	4	-	0.6	-	0.2	-	μs
t _{su(SDA)}	SDA 建立时间	2000	-	800	-	100	-	ns
t _{h(SDA)}	SDA 数据保持时间	250	-	250	-	130	-	
t _{r(SDA) / t_{r(SDL)}}	SDA 和 SCL 上升时间	-	1000	-	300	-	120	
t _{f(SDA) / t_{f(SDL)}}	SDA 和 SCL 下降时间	-	300	-	300	-	120	

		标准 I ² C ⁽¹⁾	快速 I ² C ⁽¹⁾⁽²⁾		快速增强 I ² C ⁽¹⁾⁽²⁾		
$t_{h(STA)}$	开始条件保持时间	4	-	0.6	-	0.2	-
$t_{su(STA)}$	重复的开始条件建立时间	4.7	-	0.6	-	0.2	-
$t_{su(STO)}$	停止条件建立时间	4	-	0.6	-	0.2	-
$t_{w(STO:STA)}$	停止条件至开始条件的时间 (总线空闲)	4.7	-	1.3	-	0.5	-
C_b	每条总线的容性负载	-	400	-	400	-	400 pF
t_{sp}	噪声滤波脉宽	0	50 ⁽³⁾	0	50 ⁽³⁾	-	50 ⁽³⁾ μ s

- 由设计保证, 不在生产中测试。
- 为达到标准模式 I²C 的最大频率, f_{PCLK} 必须大于 4 MHz。为达到快速模式 I²C 的最大频率, f_{PCLK} 必须大于 8 MHz。为达到快速增强模式 I²C 的最大频率, f_{PCLK} 必须大于 16 MHz。
- 模拟滤波器过滤的最小尖峰脉宽大于 $t_{sp}(max)$ 。

图 5-3 I²C 总线时序图

5.3.24.2. SPI 接口特性

表 5-45 SPI 接口特性

符号	参数	条件	最小值	典型值	最大值	单位
$f_{SCK}/t_c(SCK)$	SPI 时钟频率	主模式	-	-	42.5	MHz
		从模式	-	-	42.5	
$t_{su(NSS)}$	NSS 建立时间	从模式	$4T_{PCLK}$	-	-	
$t_h(NSS)$	NSS 保持时间	从模式	$2T_{PCLK}$	-	-	
$t_w(SCKH)$ $t_w(SCKL)$	SCK 高电平/低电平时间	主模式, presc = 2	$T_{pclk}-1$	T_{pclk}	$T_{pclk}+1$	
$t_{su(MI)}$	数据输入建立时间	主模式	6	-	-	ns
$t_{su(SI)}$		从模式	5	-	-	
$t_h(MI)$	数据输入保持时间	主模式	5.5	-	-	
$t_h(SI)$		从模式	1	-	-	
$t_a(SO)$	数据输出访问时间	从模式	9	-	34	
$t_{dis(SO)}$	数据输出禁止时间	从模式	9	-	16	
$t_v(SO)$	数据输出有效时间	从模式, presc = 2	-	9	12	
$t_v(MO)$		主模式 (使能边沿之后)	-	3.5	4.5	
$t_h(SO)$	数据输出保持时间	从模式 (使能边沿之后)	6 ⁽¹⁾	-	-	
$t_h(MO)$		主模式 (使能边沿之后)	2	-	-	

- 在 Master 发送的 SCK 占空比接收沿和发送沿之间宽的情况下, Slave 在发送沿之前就更新数据。

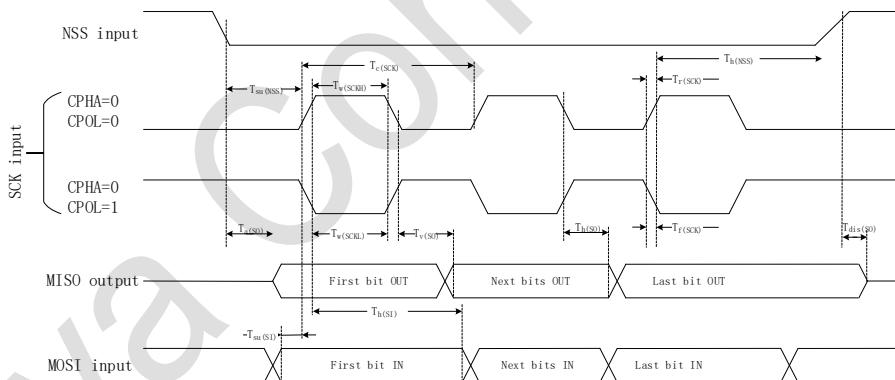
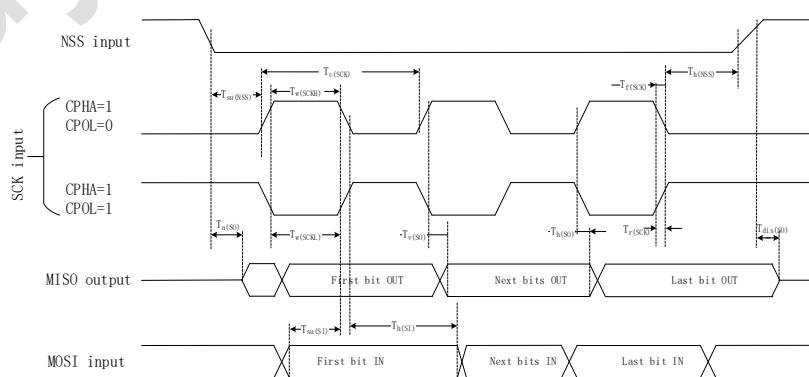
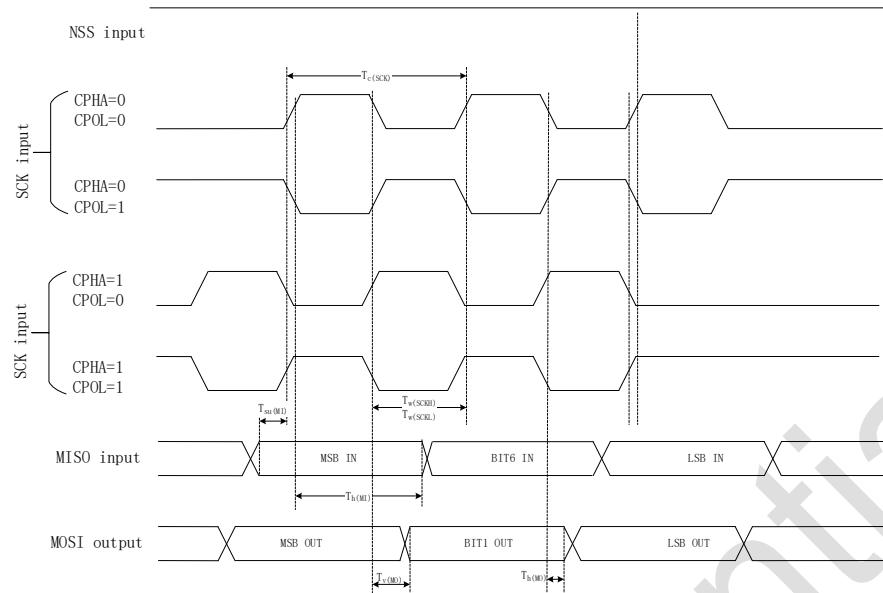


图 5-4 SPI 时序图-从模式且 CPHA = 0

图 5-5 SPI 时序图-从模式且 CPHA = 1⁽¹⁾

- 测量点设置于 CMOS 电平: $0.3V_{CC}$ 和 $0.7V_{CC}$

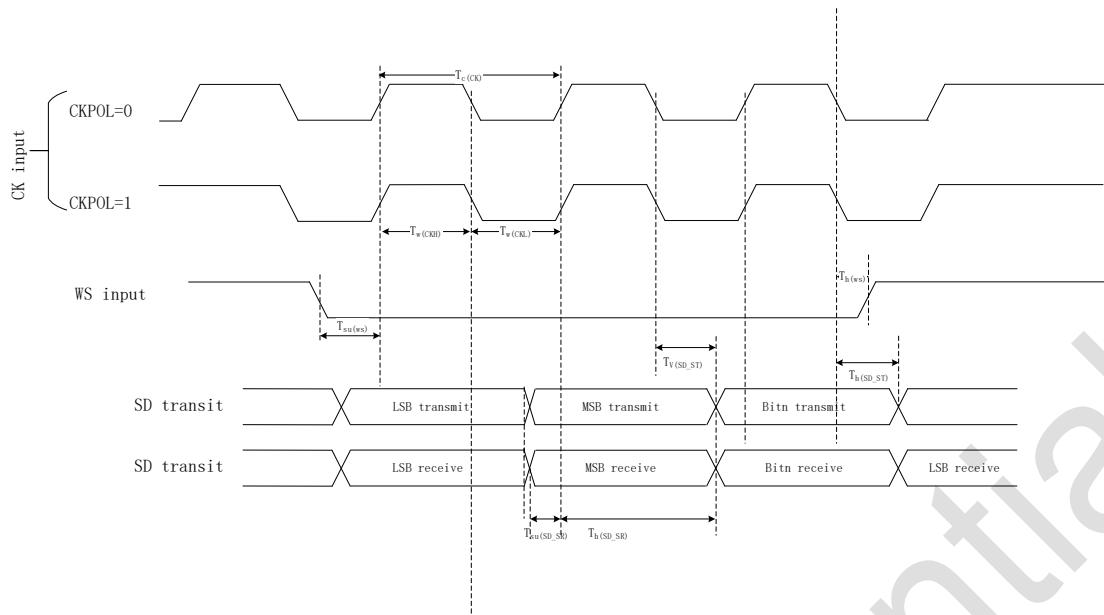
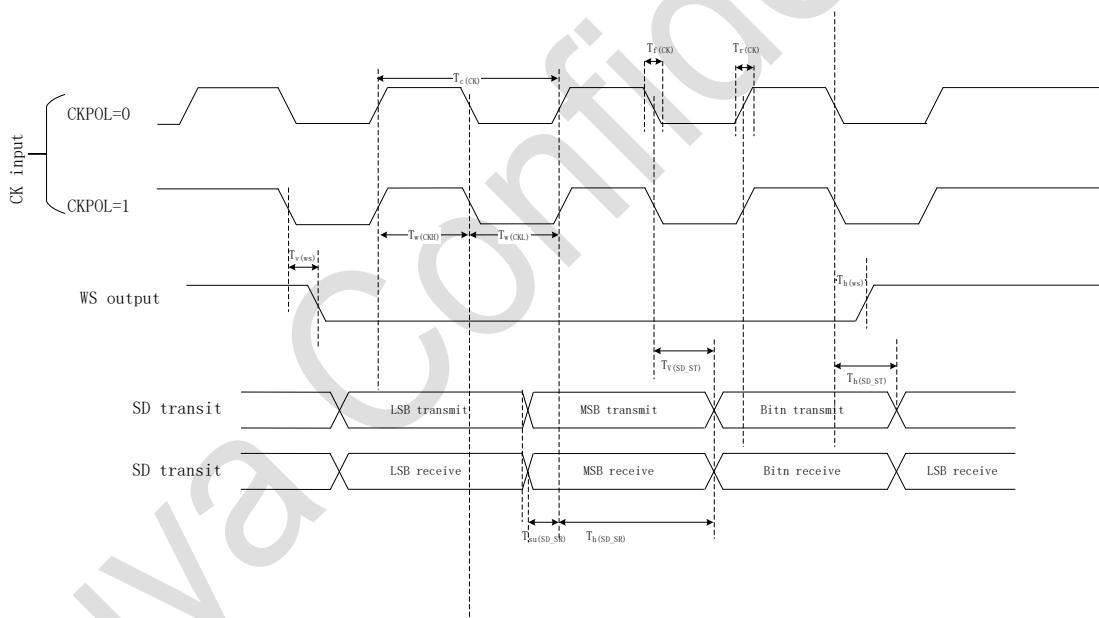
图 5-6 SPI 时序图-主模式⁽¹⁾

1. 测量点设置于 CMOS 电平: 0.3 V_{CC} 和 0.7 V_{CC}

5.3.24.3. I²S 接口特性

表 5-46 I²S 接口特性

符号	参数	条件	最小值	最大值	单位
f_s	I ² S 音频采样频率	-	8	192	kHz
f_{MCLK}	I ² S 主时钟输出	-	$0.256 \times f_s$	$0.256 \times f_s$	MHz
$f_{CK1}/t_{c(CK)}$	I ² S 时钟频率	主模式数据	-	$64 \times f_s$	MHz
		从模式数据	-	$64 \times f_s$	
D_{CK}	I ² S 时钟占空比	从模式接收	30	70	%
$t_{r(CK)}$ $t_{f(CK)}$	I ² S 时钟上升/下降时间	电容负载 $C_L = 50 \text{ pF}$	-	8	ns
$t_{v(ws)}$	W _S 有效时间	主模式	-	2	
$t_{h(ws)}$	W _S 保持时间	主模式	3	-	
		从模式	2	-	
$t_{su(ws)}$	W _S 建立时间	从模式	4	-	
$t_{su(SD_MR)}$	数据输入建立时间	主接收器	3	-	
$t_{su(SD_SR)}$		从接收器	4	-	
$t_{h(SD_MR)}$	数据输入保持时间	主接收器	5	-	
$t_{h(SD_SR)}$		从接收器	2	-	
$t_{v(SD_ST)}$	数据输出有效时间	从接收器 (使能边沿之后) $V_{CC} = 2.7 \sim 3.6 \text{ V}$	-	15	
$t_{v(SD_MT)}$		从接收器 (使能边沿之后) $V_{CC} = 2.3 \sim 3.6 \text{ V}$	-	22	
$t_{v(SD_MT)}$	主接收器 (使能边沿之后)	-	-	2	
$t_{h(SD_ST)}$	数据输出保持时间	从接收器 (使能边沿之后)	7	-	
$t_{h(SD_MT)}$		主接收器 (使能边沿之后)	1	-	

图 5-7 I²S 从模式时序图(Philips 协议)图 5-8 I²S 主模式时序图(Philips 协议)

5.3.24.4. USB 特性

表 5-47 USB 启动时间

符号	参数	最大值	单位
$t_{START}^{(1)}$	USB 收发器启动时间	1	μs

1. 由设计保证, 不在生产中测试。

表 5-48 USB 直流特性⁽¹⁾

符号	参数	条件	最小值	最大值	单位
V_{CC}	USB 工作电压 ⁽²⁾	-	3.0 ⁽³⁾	3.6	V

符号	参数	条件	最小值	最大值	单位
$V_{DI}^{(3)}$	差分输入灵敏度	$I(USB_DP, USB_DM)$	0.2	-	V
$V_{CM}^{(3)}$	差分共模范围	包括 VDI 范围	0.8	2.5	
$V_{SE}^{(3)}$	单端接收器阈值	-	1.3	2	
输出电平					
V_{OL}	静态输出低电平	$R_L = 1.5 \text{ k}\Omega$ 接到 $3.6 \text{ V}^{(4)}$	-	0.3	V
V_{OH}	静态输出高电平	$R_L = 15 \text{ k}\Omega$ 接到 $V_{SS}^{(4)}$	2.8	3.6	

- 所有的电压测量都是以设备端地线为准。
- 本产品的 USB 功能可以低至 2.7 V ，但不能保证在 V_{CC} 电压降低到 $2.7 \sim 3.0 \text{ V}$ 范围内完整的 USB 电气特性。
- 由评估保证，不在生产中测试。
- R_L 是连接到 USB 驱动器上的负载。

表 5-49 USB 全速电气特性⁽¹⁾

符号	参数	条件	最小值	最大值	单位
t_r	上升时间 ⁽²⁾	$C_L \leq 50 \text{ pF}$	4	20	ns
t_f	下降时间 ⁽²⁾	$C_L \leq 50 \text{ pF}$	4	20	ns
t_{rfm}	上升下降时间匹配	t_r/t_f	90	110	%
V_{CRS}	输出信号交叉电压	-	1.3	2.0	V

- 由设计保证，不在生产中测试。
- 测量数据信号从 10% 至 90%。

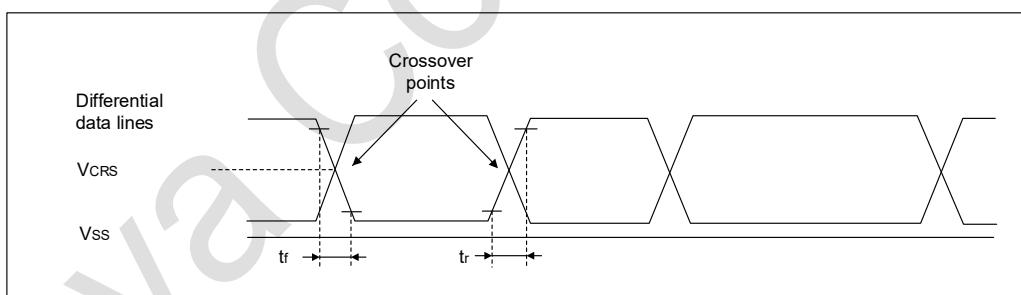


图 5-9 USB 时序: 数据信号上升和下降时间定义

5.3.24.5. ETH 接口特性

表 5-50 SMI 接口特性

符号	参数	最小值	典型值	最大值	单位
t_{MDC}	MDC 周期 (1.67 MHz , $AHB=170 \text{ MHz}$)	-	600	-	ns
$t_{d(MDIO)}$	MDIO 写数据有效时间	13.5	14.5	15.5	ns
$t_{su(MDIO)}$	读数据建立时间	35	-	-	ns
$t_{h(MDIO)}$	时钟低时间	8.5	-	-	ns

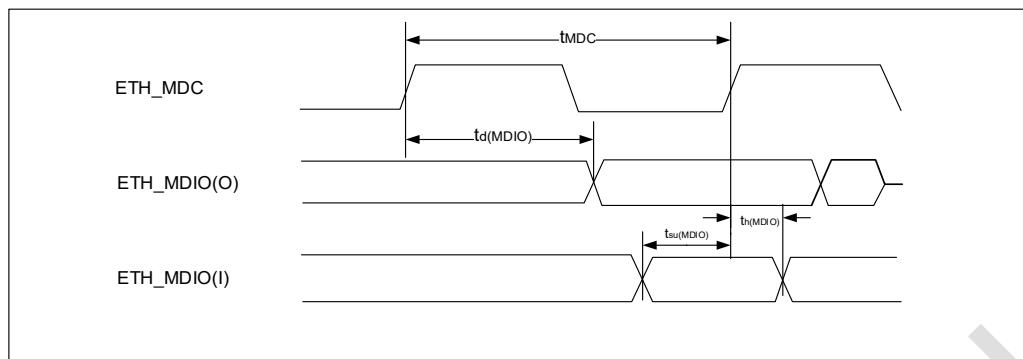


图 5-10 SMI 时序图

表 5-51 RMII 接口特性

符号	参数	最小值	典型值	最大值	单位
$t_{su(RXD)}$	接收数据建立时间	4	-	-	ns
$t_h(RXD)$	接收数据保持时间	2	-	-	ns
$t_{su(DV)}$	Carrier sense 建立时间	4	-	-	ns
$t_h(DV)$	Carrier sense 保持时间	2	-	-	ns
$t_d(TXEN)$	传输有效延时使能时间	8	10	16	ns
$t_d(TXD)$	传输有效延时时间	7	10	16	ns

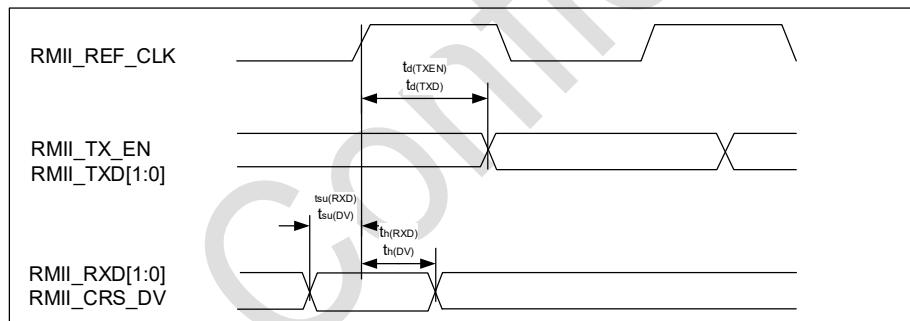


图 5-11 RMII 时序图

表 5-52 MII 接口特性

符号	参数	最小值	典型值	最大值	单位
$t_{su(RXD)}$	MDC 周期建立时间	10	-	-	ns
$t_h(RXD)$	接收数据保持时间	10	-	-	ns
$t_{su(DV)}$	Carrier sense 建立时间	10	-	-	ns
$t_h(DV)$	Carrier sense 保持时间	10	-	-	ns
$t_{su(ER)}$	Error 建立时间	10	-	-	ns
$t_h(ER)$	Error 保持时间	10	-	-	ns
$t_d(TXEN)$	传输有效延时使能时间	14	16	18	ns
$t_d(TXD)$	传输有效延时时间	13	16	20	ns

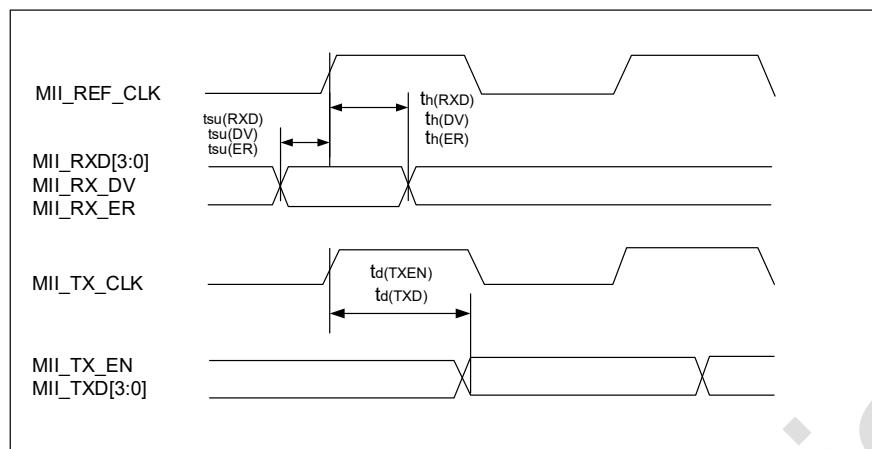


图 5-12 MII 时序图

5.3.24.6. LCDC 接口特性

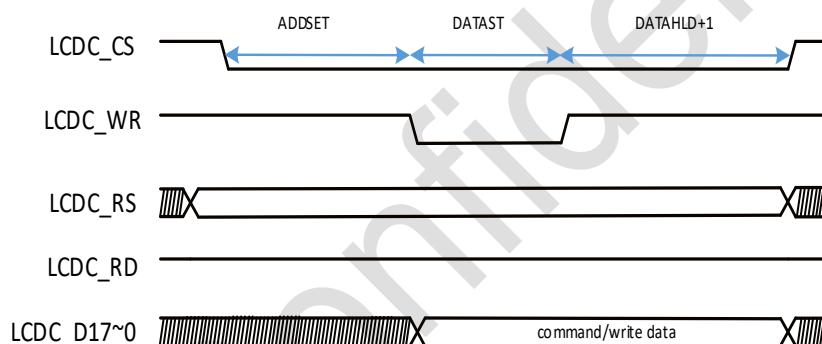


图 5-13 8080 模式写时序图

表 5-53 8080 模式写特性

符号	参数	条件	最小值	典型值	最大值	单位
t_{ADDSET}	写操作 8080 地址建立时间	8080 模式(MODEx=0)	$1t_{PCLK}$	-	$16t_{PCLK}$	-
t_{DATAST}	写操作 8080 数据建立时间	8080 模式(MODEx=0)	$1t_{PCLK}$	-	$256t_{PCLK}$	-
$t_{DATAHLD}$	写操作 8080 数据保持时间	8080 模式(MODEx=0)	$1t_{PCLK}$	-	$17t_{PCLK}$	-

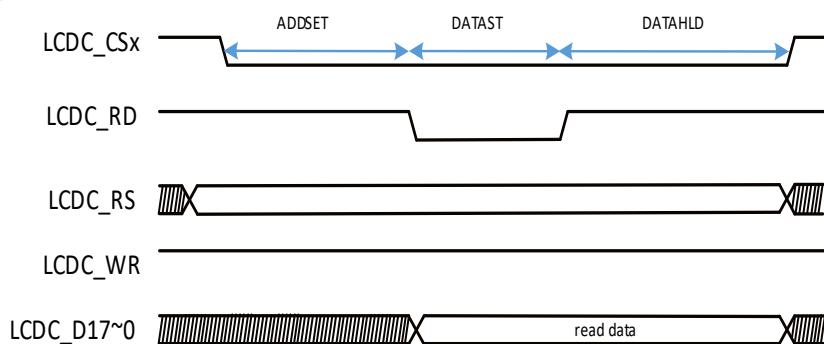


图 5-14 8080 模式读时序图

表 5-54 8080 模式读特性

符号	参数	条件	最小值	典型值	最大值	单位
t_{ADDSET}	读操作 8080 地址建立时间	8080 模式(MODE _x =0)	$1t_{PCLK}$	-	$16t_{PCLK}$	-
t_{DATAST}	读操作 8080 数据建立时间	8080 模式(MODE _x =0)	$1t_{PCLK}$	-	$256t_{PCLK}$	-
$t_{DATAHLD}$	读操作 8080 数据保持时间	8080 模式(MODE _x =0)	$1t_{PCLK}$	-	$16t_{PCLK}$	-

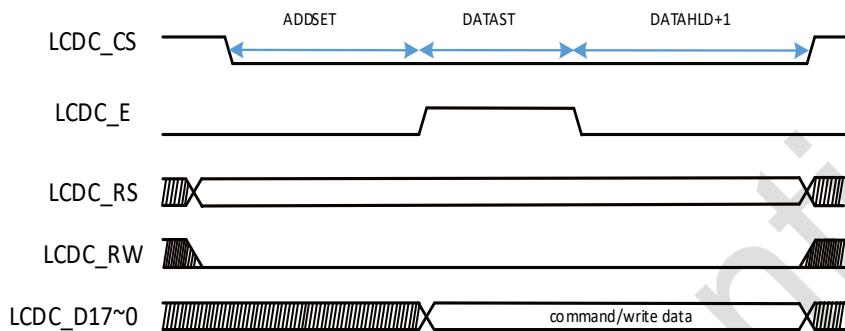


图 5-15 6800 模式写时序图

表 5-55 6800 模式写特性

符号	参数	条件	最小值	典型值	最大值	单位
t_{ADDSET}	写操作 6800 地址建立时间	6800 模式(MODE _x =1)	$1t_{PCLK}$	-	$16t_{PCLK}$	-
t_{DATAST}	写操作 6800 数据建立时间	6800 模式(MODE _x =1)	$1t_{PCLK}$	-	$256t_{PCLK}$	-
$t_{DATAHLD}$	写操作 6800 数据保持时间	6800 模式(MODE _x =1)	$1t_{PCLK}$	-	$17t_{PCLK}$	-

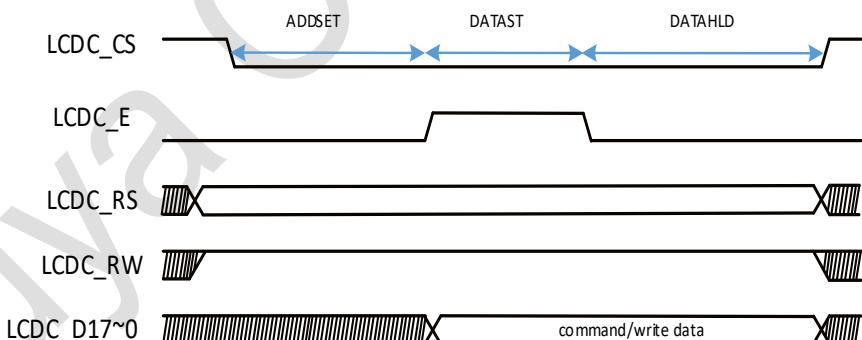


图 5-16 6800 模式读时序图

表 5-56 6800 模式读特性

符号	参数	条件	最小值	典型值	最大值	单位
t_{ADDSET}	读操作 6800 地址建立时间	6800 模式(MODE _x =1)	$1t_{PCLK}$	-	$16t_{PCLK}$	-
t_{DATAST}	读操作 6800 数据建立时间	6800 模式(MODE _x =1)	$1t_{PCLK}$	-	$256t_{PCLK}$	-
$t_{DATAHLD}$	读操作 6800 数据保持时间	6800 模式(MODE _x =1)	$1t_{PCLK}$	-	$16t_{PCLK}$	-

5.3.24.7. SD/SDIO MMC 卡主机接口特性

表 5-57 SD/MMC 特性

符号	参数	条件	最小值	最大值	单位
f_{PP}	数据传输模式下的时钟频率	$C_L = 30 \text{ pF}$	0	48	MHz
$t_{W(CKL)}$	时钟低时间	$f_{PP} = 48 \text{ MHz}$	8.5	-	ns
$t_{W(CKH)}$	时钟高时间	$f_{PP} = 48 \text{ MHz}$	8.3	-	
MMC 和 SD HS 模式下的 CMD、D 输入 (以 CK 为基准)					
t_{ISU}	输入建立时间	$f_{PP} = 48 \text{ MHz}$	3.5	-	ns
t_{IH}	输入保持时间	$f_{PP} = 48 \text{ MHz}$	0	-	
MMC 和 SD HS 模式下的 CMD、D 输出 (以 CK 为基准)					
t_{OV}	输出有效时间	$f_{PP} = 48 \text{ MHz}$	-	7	ns
t_{OH}	输出保持时间	$f_{PP} = 48 \text{ MHz}$	3	-	
SD 默认模式下的 CMD、D 输入 (以 CK 为基准)					
t_{ISUD}	输入建立时间	$f_{PP} = 24 \text{ MHz}$	1.5	-	ns
t_{IH}	输入保持时间	$f_{PP} = 24 \text{ MHz}$	0.5	-	
SD 默认模式下的 CMD、D 输出 (以 CK 为基准)					
t_{OVD}	输出有效默认时间	$f_{PP} = 24 \text{ MHz}$	-	6.5	ns
t_{OH}	输出保持默认时间	$f_{PP} = 24 \text{ MHz}$	3.5	-	

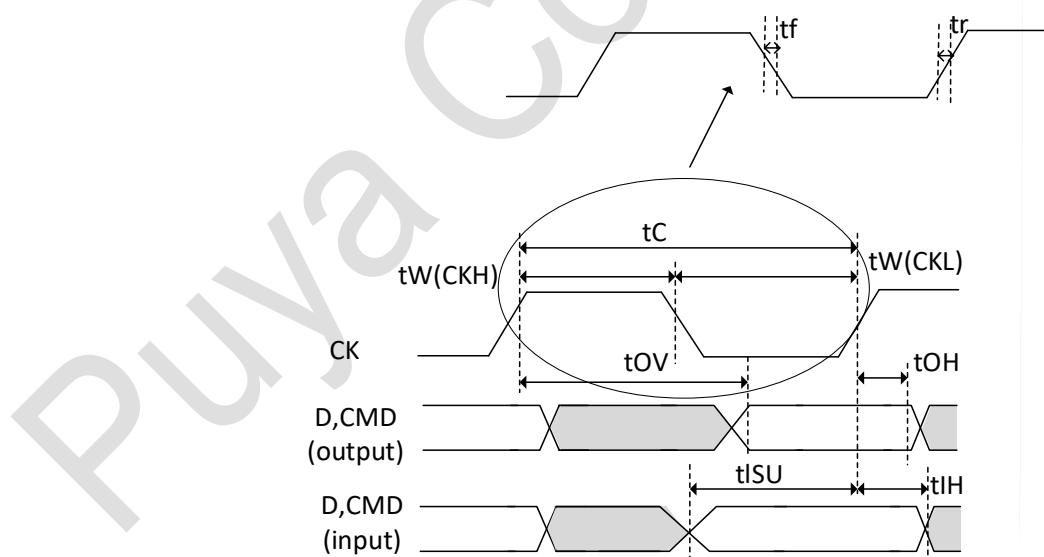


图 5-17 SDIO 高速模式

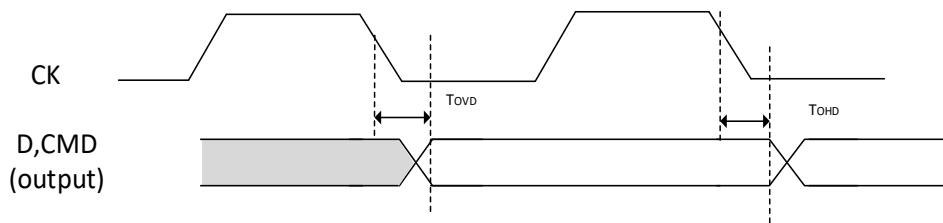


图 5-18 SD 默认模式

5.3.24.8. ESMC 特性

表 5-58 SDR 模式下的 ESMC 特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
f_{QCK}	ESMC 时钟频率	$2.3 < V_{CC} < 3.6 \text{ V}$	-	-	85 ⁽²⁾	MHz
$t_{w(CKH)}$	ESMC 时钟高电平/低电平时间	$2.3 < V_{CC} < 3.6 \text{ V}$	$t_{QCK}/2-0.5$	-	$t_{QCK}/2+1$	ns
$t_{w(CKL)}$			$t_{QCK}/2-1$	-	$t_{QCK}/2+0.5$	
$t_{s(IN)}$	数据输入建立时间	$2.3 < V_{CC} < 3.6 \text{ V}$	1	-	-	
$t_{h(IN)}$	数据输入保持时间	$2.3 < V_{CC} < 3.6 \text{ V}$	5	-	-	
$t_{v(OUT)}$	数据输出有效时间	$2.3 < V_{CC} < 3.6 \text{ V}$	-	1	1.5	
$t_{h(OUT)}$	数据输出保持时间	$2.3 < V_{CC} < 3.6 \text{ V}$	0.5	-	-	

1. 由特性评估给出, 不在生产中测试。

2. 该参数测试条件除 XIP 写且在 mode0 的情况, XIP 写且在 mode0 的情况下, 最大支持 56 MHz (fHCLK/3)。

表 5-59 DDR 模式下的 ESMC 特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
f_{QCK}	ESMC 时钟频率	$2.3 < V_{CC} < 3.6 \text{ V}$	-	-	42.5	MHz
$t_{w(CKH)}$	ESMC 时钟高电平/低电平时间	$2.3 < V_{CC} < 3.6 \text{ V}$	$t_{QCK}/2$	-	$t_{QCK}/2+1$	ns
$t_{w(CKL)}$			$t_{QCK}/2-1$	-	$t_{QCK}/2+0.5$	
$t_{sr(IN)}$	数据输入建立时间 (上升沿)	$2.3 < V_{CC} < 3.6 \text{ V}$	1	-	-	
$t_{sf(IN)}$	数据输入建立时间 (下降沿)	$2.3 < V_{CC} < 3.6 \text{ V}$	1	-	-	
$t_{hr(IN)}$	数据输入保持时间 (上升沿)	$2.3 < V_{CC} < 3.6 \text{ V}$	6	-	-	
$t_{hf(IN)}$	数据输入保持时间 (下降沿)	$2.3 < V_{CC} < 3.6 \text{ V}$	5	-	-	
$t_{vr(OUT)}$	数据输出有效时间 (下降沿)	$2.3 < V_{CC} < 3.6 \text{ V}$	-	7.5	8	
$t_{vf(OUT)}$	数据输出有效时间 (上升沿)	$2.3 < V_{CC} < 3.6 \text{ V}$	-	7	11	
$t_{hr(OUT)}$	数据输出保持时间 (上升沿)	$2.3 < V_{CC} < 3.6 \text{ V}$	2	-	-	
$t_{hf(OUT)}$	数据输出保持时间 (下降沿)	$2.3 < V_{CC} < 3.6 \text{ V}$	3	-	-	

1. 由特性评估给出, 不在生产中测试。

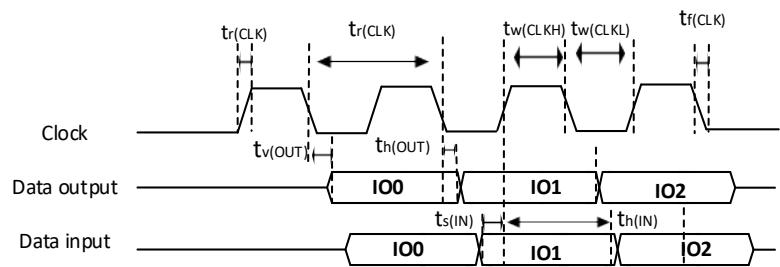


图 5-19 ESMC 时序图 – SDR 模式

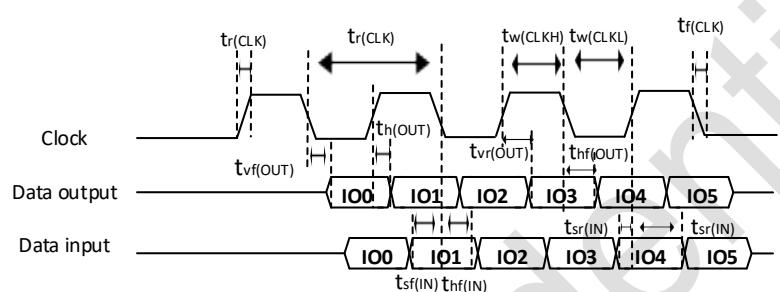


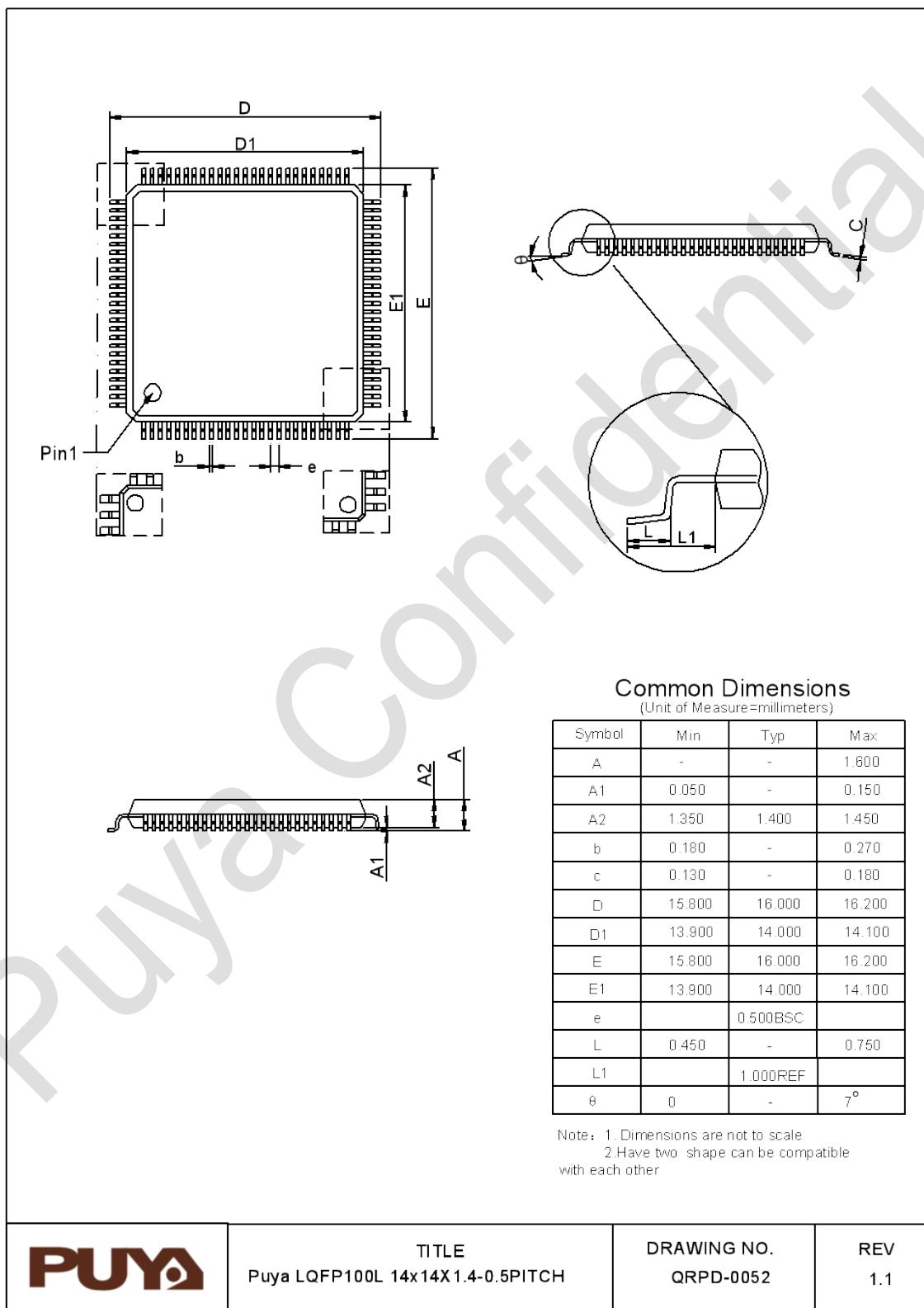
图 5-20 ESMC 时序图 – DDR 模式

5.3.24.9. CAN 接口特性

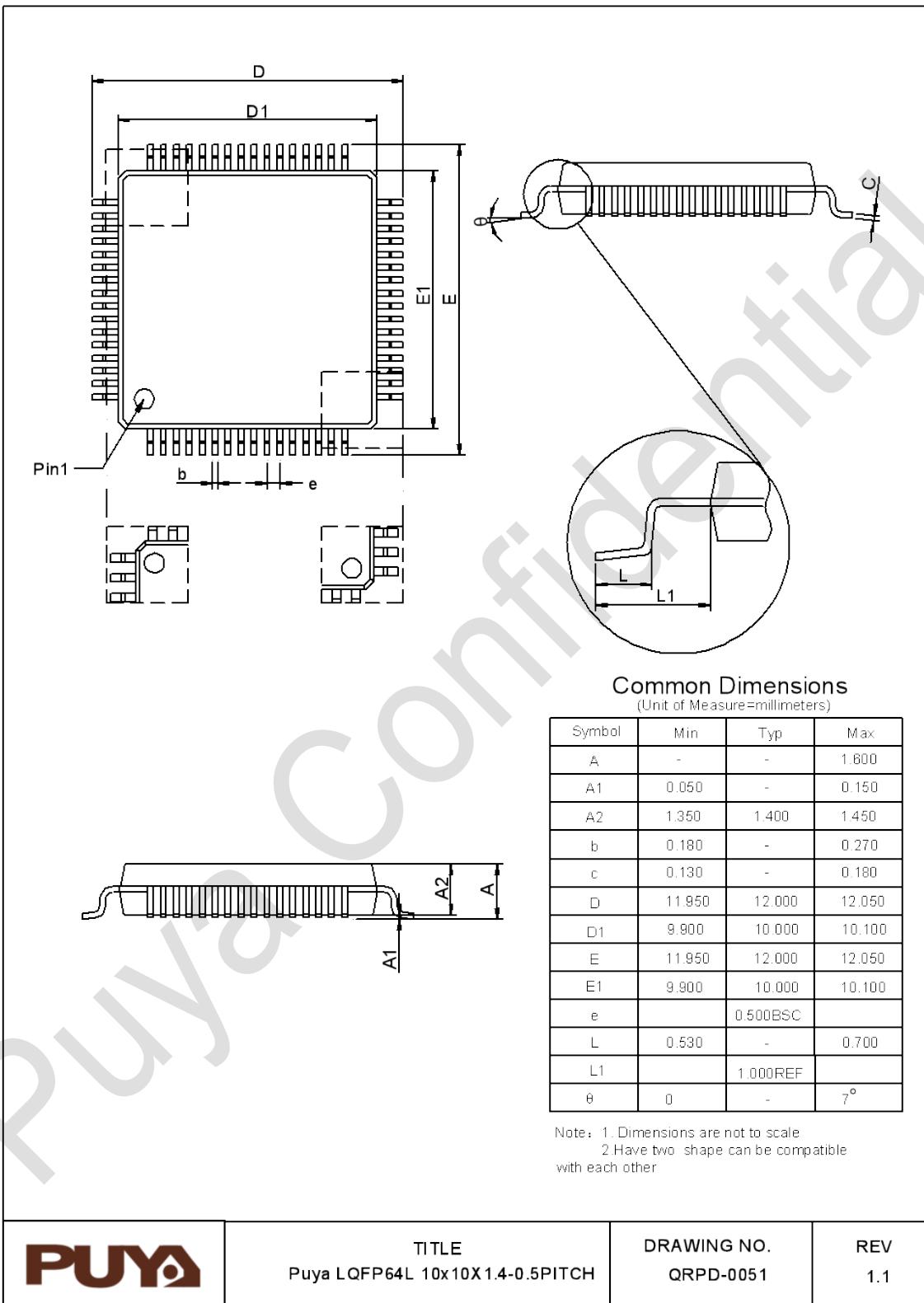
有关输入/输出复用功能引脚的特性，参见 [IO 端口特性](#) 章节。

6. 封装信息

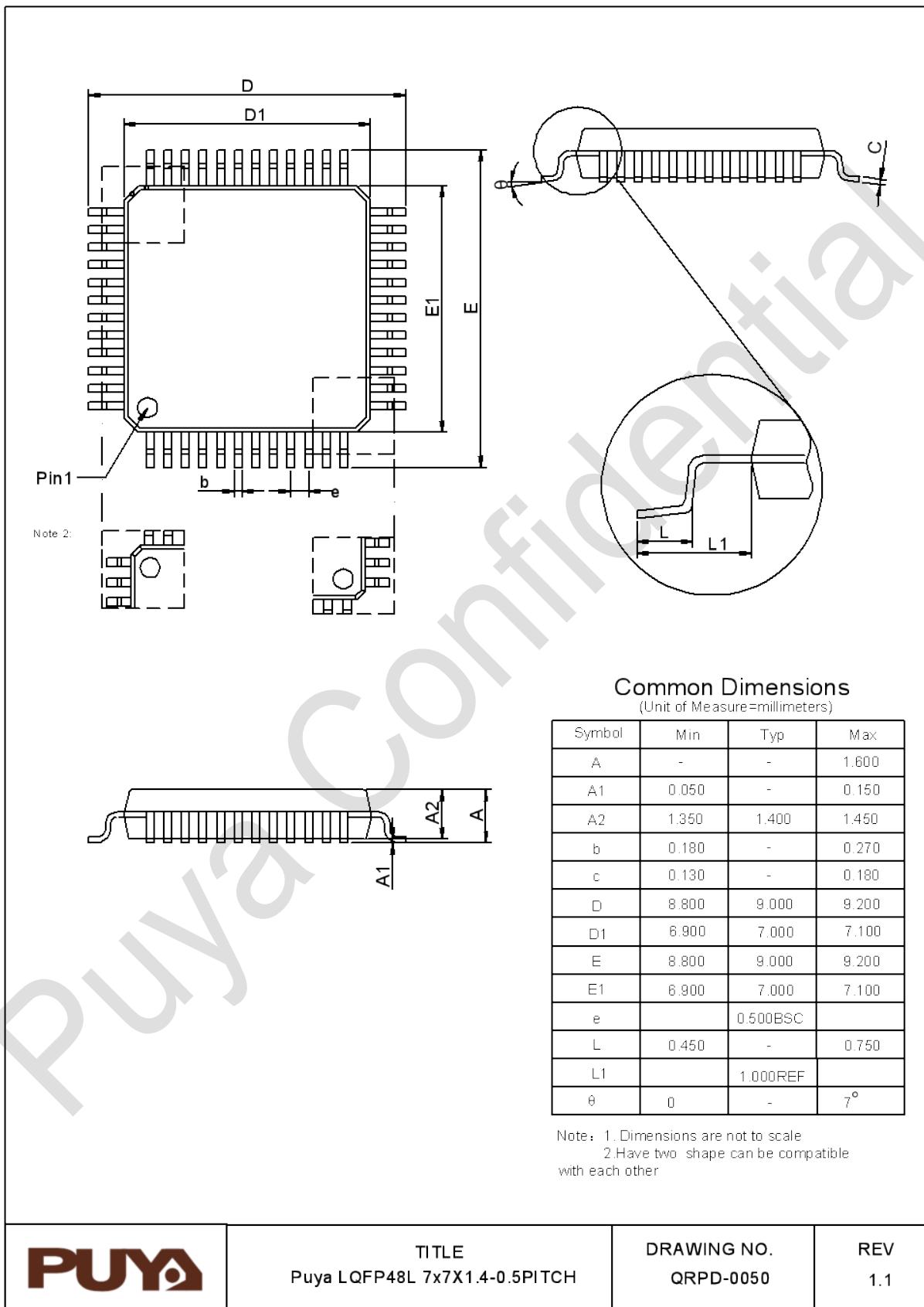
6.1. LQFP100 封装尺寸



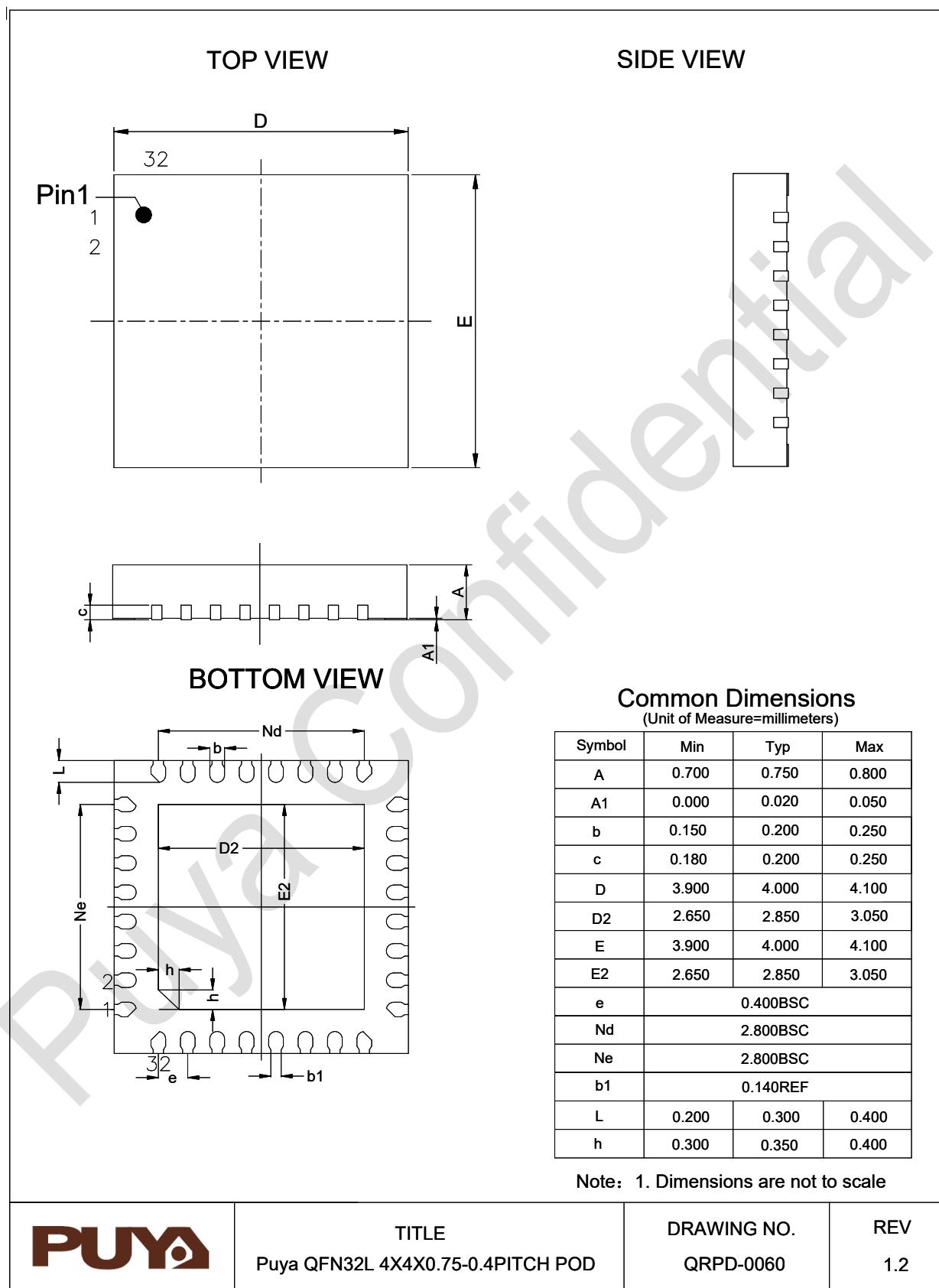
6.2. LQFP64 封装尺寸



6.3. LQFP48 封装尺寸



6.4. QFN32 (4*4) 封装尺寸



7. 订购信息

Example:

Company PY 32 E 407 V1 E T 7 x
Product family 32bit MCU
Product type E = High performance
Sub-family 407 = PY32E407xx

Pin count

V1 = 100 pins Pinout1
R1 = 64 pins Pinout1
C1 = 48 pins Pinout1
K1 = 32 pins Pinout1

User code memory size

E = 512 KB

Package

T = LQFP
U = QFN

Temerature range

7 = -40°C ~ +105°C

Options

xxx = Code ID of programmed parts (includes packing type)
TR = Tape and reel packing
TU = Tube Packing
Blank = Tray packing

8. 版本历史

版本	日期	更新记录
V0.5	2024.10.29	1. 初版
V0.6	2024.11.04	1. 新增 QFN 32(4*4) 封装
V0.7	2025.04.18	1. 升级到V1B版本 2. 新增 LQFP 48 封装
V0.8	2025.04.25	1. 增加 HSE bypass功能 2. 增加 IRTIM (红外接口)
V0.9	2025.08.18	1. 更新表 3-2 引脚定义
V0.10	2025.09.08	1. 更新USART数量
V0.11	2025.10.31	1. 更新ESMC描述及参数特性



Puya Semiconductor Co., Ltd.

声 明

普冉半导体(上海)股份有限公司 (以下简称：“Puya”) 保留更改、纠正、增强、修改 Puya 产品和/或本文档的权利，恕不另行通知。用户可在下单前获取产品的最新相关信息。

Puya 产品是依据订单时的销售条款和条件进行销售的。

用户对 Puya 产品的选择和使用承担全责，同时若用于其自己或指定第三方产品上的，Puya 不提供服务支持且不对此类产品承担任何责任。

Puya 在此不授予任何知识产权的明示或暗示方式许可。

Puya 产品的转售，若其条款与此处规定不一致，Puya 对此类产品的任何保修承诺无效。

任何带有 Puya 或 Puya 标识的图形或字样是普冉的商标。所有其他产品或服务名称均为其各自所有者的财产。

本文档中的信息取代并替换先前版本中的信息。

普冉半导体(上海)股份有限公司 - 保留所有权利